NI FlexRIO™

Руководство по применению комплекта для разработки адаптеров

Март 2010

372544C-01

NATIONAL INSTRUMENTS™

Техническая поддержка по всему миру и информация о выпускаемой продукции

ni.com

Штаб-квартира корпорации National Instruments

11500 North Mopac Expressway Austin, Texas 78759-3504 USA Tel: 512 683 0100

Офисы по всему миру

Australia 1800 300 800, Austria 43 662 457990-0, Belgium 32 (0) 2 757 0020, Brazil 55 11 3262 3599, Canada 800 433 3488, China 86 21 5050 9800, Czech Republic 420 224 235 774, Denmark 45 45 76 26 00, Finland 358 (0) 9 725 72511, France 01 57 66 24 24, Germany 49 89 7413130, India 91 80 41190000, Israel 972 3 6393737, Italy 39 02 41309277, Japan 0120-527196, Korea 82 02 3451 3400, Lebanon 961 (0) 1 33 28 28, Malaysia 1800 887710, Mexico 01 800 010 0793, Netherlands 31 (0) 348 433 466, New Zealand 0800 553 322, Norway 47 (0) 66 90 76 60, Poland 48 22 328 90 10, Portugal 351 210 311 210, Russia 7 495 783 6851, Singapore 1800 226 5886, Slovenia 386 3 425 42 00, South Africa 27 0 11 805 8197, Spain 34 91 640 0085, Sweden 46 (0) 8 587 895 00, Switzerland 41 56 2005151, Taiwan 886 02 2377 2222, Thailand 662 278 6777, Turkey 90 212 279 3031, United Kingdom 44 (0) 1635 523545

За подробной информацией о поддержке обратитесь к приложению *Техническая поддержка*. Чтобы оставить свои комментарии о документации National Instruments, зайдите на сайт `ni.com/info` и введите код обратной связи `feedback`.

© 2008–2010 National Instruments Corporation. Все права защищены.

Гарантии

На комплект разработчика адаптера NI FlexRIO действует гарантия, которая подтверждается гарантийным талоном или другим документом. Гарантийный срок составляет один год, начиная с даты поставки. Гарантийные обязательства распространяются на дефекты используемых материалов и качество конструкции. National Instruments обязуется отремонтировать или заменить неисправное оборудование в течение гарантийного срока. Гарантийное обслуживание включает в себя замену комплектующих и ремонтные работы.

Гарантия на носитель информации, на котором поставляется программное обеспечение National Instruments, касается исполнения программных инструкций и действует в течение 90 дней со дня продажи, который указан в гарантийном талоне или другом документе. National Instruments обязуется в течение гарантийного срока восстановить или заменить бракованный носитель информации с программным обеспечением при получении уведомления об обнаружении дефектов, не позволяющих выполнять программные инструкции. National Instruments не гарантирует стабильность и безошибочность работы программного обеспечения.

Оборудование принимается на гарантийное обслуживание, только если снаружи упаковки будет нанесен номер возврата товара, полученный на заводе. National Instruments оплатит почтовые расходы при возврате комплектующих, находящихся на гарантии.

National Instruments ручается за достоверность информации в настоящем документе. Тщательно проверена техническая грамотность документа. При обнаружении технических или орфографических ошибок National Instruments оставляет за собой право внесения изменений в последующих изданиях этого документа с предварительным уведомлением обладателей настоящего издания. В случае подозрений о наличии ошибок читателю следует поставить об этом в известность National Instruments.

Ни при каких обстоятельствах National Instruments не несет ответственность за неисправности, связанные с использованием информации, содержащейся в настоящем документе.

NATIONAL INSTRUMENTS НЕ ДАЕТ БОЛЬШЕ НИКАКИХ ГАРАНТИЙ, ПРЯМЫХ ИЛИ КОСВЕННЫХ, НА ПРИГОДНОСТЬ ИЗДЕЛИЯ ДЛЯ РЕШЕНИЯ КОНКРЕТНЫХ ЗАДАЧ. УСТРАНЕНИЕ НЕИСПРАВНОСТЕЙ, ВЫЗВАННЫХ НЕБРЕЖНЫМ ОБРАЩЕНИЕМ С ИЗДЕЛИЯМИ NATIONAL INSTRUMENTS, ДОЛЖНО ПРОИЗВОДИТЬСЯ ЗА СЧЕТ ПОКУПАТЕЛЯ. NATIONAL INSTRUMENTS НЕ НЕСЕТ ОТВЕТСТВЕННОСТИ ЗА НЕИСПРАВНОСТИ, ОБУСЛОВЛЕННЫЕ ПОТЕРЕЙ ДАННЫХ, ПРЯМЫЕ И КОСВЕННЫЕ УБЫТКИ, ИСПОЛЬЗОВАНИЕ ПРОДУКЦИИ, ЕСЛИ ПОТРЕБИТЕЛЬ О НИХ ЗАРАНЕЕ ПРЕДУПРЕЖДЕН. Ответственность National Instruments ограничена независимо от того, было ли изделие повреждено случайно или умышленно. Любые иски против National Instruments должны быть рассмотрены в течение одного года. National Instruments не несет ответственности за любую задержку гарантийного обслуживания в случае возникновения обстоятельств непреодолимой силы. Гарантийному ремонту не подлежат неисправности, дефекты, отказы, вызванные несоблюдением инструкций по установке, эксплуатации и обслуживанию изделия; самостоятельной модификацией изделия; небрежным и неправильным обращением; сбоями и импульсными помехами в питающей сети, пожарами, наводнениями, авариями, действиями третьих лиц или обстоятельствами непреодолимой силы.

Авторское право

Согласно законам об авторском праве, это руководство нельзя переиздавать и распространять как в электронной, так и в печатной форме путем ксерокопирования, перезаписи, хранения в информационно-поисковых системах. Также нельзя осуществлять полный или частичный перевод без предварительного письменного разрешения от корпорации National Instruments.

National Instruments относится с уважением к интеллектуальной собственности и призывает своих клиентов к такому же отношению. Программное обеспечение NI защищено законами об охране авторских и смежных прав. Вы имеете право передавать программное обеспечение и прочие материалы, разработанные с помощью программного обеспечения National Instruments, третьим лицам в соответствии с условиями приобретенной Вами лицензии и другими законодательными ограничениями.

Торговые марки

National Instruments, NI, ni.com, LabVIEW являются торговыми марками корпорации National Instruments. За более подробной информацией о торговых марках корпорации National Instruments обратитесь к разделу *Terms of Use* на сайте `ni.com/legal`.

Названия других упомянутых в данном руководстве изделий и производителей также являются торговыми марками, у которых есть правообладатели.

Члены программы партнерства National Instruments Alliance Partner Program являются коммерческими организациями, независимыми от National Instruments, но не подразделениями National Instruments или совместными с National Instruments предприятиями.

Патенты

Для получения информации о патентах, которыми защищены продукция или технологии National Instruments, запустите команду **Help»Patents** из главного меню Вашего программного обеспечения, откройте файл `patents.txt` на имеющемся у Вас компакт-диске или документ *National Instruments Patent Notice* на сайте ni`.com/patents`.

Техника безопасности при работе с изделиями National Instruments

(1) ИЗДЕЛИЯ NATIONAL INSTRUMENTS НЕ СОДЕРЖАТ КОМПОНЕНТОВ, ПОЗВОЛЯЮЩИХ ИХ ИСПОЛЬЗОВАТЬ СОВМЕСТНО С ХИРУРГИЧЕСКИМИ ИМПЛАНТАНТАМИ, А ТАКЖЕ В ЛЮБЫХ СИСТЕМАХ ЖИЗНЕОБЕСПЕЧЕНИЯ, ОТКАЗ КОТОРЫХ МОЖЕТ НАНЕСТИ СУЩЕСТВЕННЫЙ ВРЕД ЧЕЛОВЕКУ. ПРОВЕРКА НАДЕЖНОСТИ ФУНКЦИОНИРОВАНИЯ ИЗДЕЛИЙ В ТАКИХ СИСТЕМАХ НЕ ПРОВОДИЛАСЬ.

(2) В ЛЮБЫХ ПРИЛОЖЕНИЯХ, ВКЛЮЧАЯ ВЫШЕУПОМЯНУТЫЕ, НАДЕЖНОСТЬ ФУНКЦИОНИРОВАНИЯ ПРОГРАММНЫХ ПРОДУКТОВ МОЖЕТ БЫТЬ СНИЖЕНА ЗА СЧЕТ ФЛЮКТУАЦИЙ ПИТАЮЩЕГО НАПРЯЖЕНИЯ, НЕИСПРАВНОСТЕЙ КОМПЬЮТЕРА, НАСТРОЕК ОПЕРАЦИОННОЙ СИСТЕМЫ, НАСТРОЕК КОМПИЛЯТОРОВ И СРЕДЫ ПРОГРАММИРОВАНИЯ, В КОТОРОЙ РАЗРАБАТЫВАЕТСЯ ПРИЛОЖЕНИЕ, ОШИБОК ПРИ ИНСТАЛЛЯЦИИ, ПРОБЛЕМ СОВМЕСТИМОСТИ АППАРАТНОГО И ПРОГРАММНОГО ОБЕСПЕЧЕНИЯ, НЕИСПРАВНОСТЕЙ И СБОЕВ ЭЛЕКТРОННЫХ УСТРОЙСТВ МОНИТОРИНГА ИЛИ УПРАВЛЕНИЯ, САМОУСТРАНЯЮЩИХСЯ ОТКАЗОВ АППАРАТНОГО И ПРОГРАММНОГО ОБЕСПЕЧЕНИЯ, НЕПРАВИЛЬНОГО ОБРАЩЕНИЯ, ОШИБОК ПОЛЬЗОВАТЕЛЯ ИЛИ РАЗРАБОТЧИКА ПРИЛОЖЕНИЯ (ВСЕ ЭТИ ФАКТОРЫ НАЗЫВАЮТСЯ СИСТЕМНЫМИ СБОЯМИ). ЛЮБОЕ ПРИЛОЖЕНИЕ, ГДЕ СИСТЕМНЫЙ СБОЙ МОЖЕТ ПРИВЕСТИ К ПОВРЕЖДЕНИЮ ИМУЩЕСТВА, А ТАКЖЕ РАНЕНИЮ ИЛИ СМЕРТИ ЛЮДЕЙ, НЕ МОЖЕТ ВЫЗЫВАТЬ ДОВЕРИЕ. ВО ИЗБЕЖАНИЕ ТАКИХ СЛУЧАЕВ РАЗРАБОТЧИК ИЛИ ПОЛЬЗОВАТЕЛЬ ПРИЛОЖЕНИЯ ДОЛЖНЫ ПРЕДУСМОТРЕТЬ МЕРЫ ЗАЩИТЫ ОТ СИСТЕМНЫХ СБОЕВ, ВКЛЮЧАЯ МЕХАНИЗМЫ РЕЗЕРВИРОВАНИЯ И ОТКЛЮЧЕНИЯ, ПОСКОЛЬКУ, ВО-ПЕРВЫХ, КАЖДАЯ ГОТОВАЯ СИСТЕМА ПРИСПАСАБЛИВАЕТСЯ ДЛЯ КОКРЕТНОГО ПОЛЬЗОВАТЕЛЯ И ОТЛИЧАЕТСЯ ОТ ИСПЫТАТЕЛЬНЫХ ПЛАТФОРМ NATIONAL INSTRUMENTS, ВО-ВТОРЫХ, ПОЛЬЗОВАТЕЛЬ ИЛИ РАЗРАБОТЧИК МОЖЕТ КОМБИНИРОВАТЬ ИЗДЕЛИЯ NATIONAL INSTRUMENTS С ДРУГИМИ ИЗДЕЛИЯМИ СПОСОБАМИ, КОТОРЫЕ НЕ ПРОВЕРЯЛИСЬ СПЕЦИАЛИСТАМИ NATIONAL INSTRUMENTS. ПОЛЬЗОВАТЕЛЬ ИЛИ РАЗРАБОТЧИК ПОЛНОСТЬЮ ОТВЕЧАЕТ ЗА ПРОВЕРКУ И ОБЕСПЕЧЕНИЕ ПРАВИЛЬНОСТИ СБОРКИ, ФУНКЦИОНИРОВАНИЯ И БЕЗОПАСНОСТИ СИСТЕМ ИЛИ ПРИЛОЖЕНИЙ, В СОСТАВ КОТОРЫХ ВХОДЯТ ИЗДЕЛИЯ NATIONAL INSTRUMENTS

Содержание

О настоящем руководстве....8
Условные обозначения....8
Возможности и изменения комплекта разработчика адаптера NI FlexRIO....9
Версия 1.1....9
Новые возможности....9
Исправленные ошибки....9
Версия 1.2....10
Новые возможности....10
Исправленные ошибки....10
Сопутствующая документация....11
Дополнительные ресурсы....12
1. Прежде, чем приступить к работе....14
Требования к проектированию....14
Регистрация....14
2. Архитектура NI FlexRIO....16
Общие сведения о модуле NI FlexRIO FPGA....17
Печатная плата адаптера....17
LabVIEW Host VI и LabVIEW FPGA VI....18
Блоки CLIP адаптера....19
3. Интерфейс и протокол адаптера....20
Электрический интерфейс адаптера....20
Требования к питанию....20
Сигналы на разъеме адаптера....22
Описания сигналов....22
Ввод-вывод общего назначения (GPIO)....24
Подробнее о банке x линий ввода-вывода общего назначения....30
Выделение банков FPGA....31
Протокол обмена данными с адаптером....39
Протокол установки адаптера....40
Протокол извлечения адаптера....41
EEPROM....42
Рекомендации по применению EEPROM....43
4. О разработке электрической схемы....44
Последовательность включения питания при работе с внешним оборудованием....44
Ввод-вывод FPGA и защита....44
Заземление....45
Напряжения банка ввода-вывода FPGA....45
Помехи синхронного переключения выходов....46
Тактовые импульсы и временные параметры....46
Сигналы ввода-вывода с поддержкой синхронизации....47
IoModSyncClk (только для модуля NI PXIe-796xR)....48
Оконечная нагрузка....48
Оконечная нагрузка и импеданс линий GPIO....49
Минимизация перекрестных помех....49
Совместное использование шины I^2C....50
Выбор компонентов схемы....50
Неиспользуемые контакты - рекомендации....50
5. Разработка печатной платы....52
Ориентация печатной платы....52
Концепции проектирования печатной платы....52

Размеры печатной платы....57
Трассировка линий GPIO....59
О заземлении....60
Расположение контактов....61
Финишная обработка печатной платы....62
6. Краевой разъем печатной платы....64
Описание разъема....64
Финишная обработка краевого разъема печатной платы....67
7. Корпус модуля....69
Корпус....69
8. Подготовка к работе устройства NI FlexRIO....73
Необходимые компоненты....73
Инсталляция прикладного ПО и драйвера....73
Инсталляция прикладного ПО....74
Инсталляция драйвера....74
Подготовка к работе устройства, акссесуаров и кабелей....74
Распаковка....74
Подтверждение того, что устройство распознано....76
Установка специализированного адаптера....77
Извлечение модуля адаптера....77
Подключаемые сигналы....77
Дополнительные кабели....79
9. Конфигурирование адаптера для использования с LabVIEW FPGA....80
Программирование EEPROM....80
Программирование EEPROM в LabVIEW....82
Карта адресов EEPROM....84
Создание файла конфигурации адаптера (.tbc)....85
Параметры конфигурации адаптера в tbc-файле....86
Параметры конфигурации общего назначения....86
IOModuleID – идентификатор адаптера....88
V_{cco} – уровни напряжений....89
Значения параметра IOModSyncClk (только для PXIe-796*x*R)....89
Разрешение сигнала IoModSyncClk....90
Совместимость с FlexRIO PXI-795*x*R....91
Ограничения значений параметров в секции Constraints файла . tbc....91
Пример....91
10. Создание подключаемого блока CLIP для адаптера....95
Создание или приобретение блока IP для адаптера NI FlexRIO....95
Файл ExampleIOModuleCLIP.vhd....96
Использование сигналов внешней синхронизации в вашем модуле FlexRIO FPGA .101
Файл ExampleIOModuleCLIP.ucf....102
Файл ExampleIOModuleCLIP.xml....102
Конфигурирование адаптера модуля NI FlexRIO в LabVIEW....106
Добавление вашего адаптера и модуля ввода-вывода в проект LabVIEW....106
Добавление блока CLIP в проект LabVIEW....106
Приложение A. Рекомендуемое распределение сигналов....112
Приложение B. Идентификация и разрешение проблем....118
Поиск и устранение ошибок в проекте LabVIEW FPGA....118
Окно IO Modules»Properties»General Dialog Box....118
Диалоговое окно IO Modules»Properties»Status....119
Приложение C. Ссылки на документацию компании Xilinx....121
Приложение D. Техническая поддержка....123

О настоящем руководстве

Комплект разработчика адаптеров NI FlexRIO позволяет третьим сторонам, например, системным интеграторам, членам альянса и отдельным пользователям создавать специализированные адаптеры для сопряжения с модулями NI PXI-795*x*R и NI PXIe-796*x*R FlexRIO с программируемыми пользователем вентильными матрицами (FPGA).

Адаптер необходим для адаптации каналов ввода-вывода модуля NI FlexRIO FPGA с целью создания завершенной измерительной системы на основе NI FlexRIO.

Модуль NI FlexRIO FPGA обеспечивает непосредственный доступ к контактам FPGA, что позволяет добиться максимальной скорости и производительности. Этот уровень доступа к FPGA требует особого внимания к деталям при разработке сопряжения адаптера с модулем NI FlexRIO FPGA. Пользовательские адаптеры могут разрабатываться для таких приложений, как, например:

- Аналого-цифровых (АЦП) и цифро-аналоговых (ЦАП) преобразователей
- Буферов для цепей тестируемых устройств с низковольтными дифференциальными сигналами (LVDS) или низковольтной ТТЛ-логикой (LVTTL)
- Физических уровней последовательных/специализированных протоколов, например, RS-485 и IEEE-1394

Адаптер состоит из корпуса, в котором находится печатная плата (PCB) со схемами для конкретного приложения. В настоящем руководстве представлена подробная информация об электрических и механических требованиях к разработке адаптера NI FlexRIO.

Условные обозначения

В руководстве используются следующие условные обозначения:

Пиктограмма подсказки, совета.

Пиктограмма примечания с важной информацией.

Пиктограмма предупреждения, содержащая рекомендации, как избежать травм, потерь данных или выхода из строя системы. Увидев на изделии такую пиктограмму, обратитесь к документу *Read Me First: Safety and Electromagnetic Compatibility* для получении информации о требуемых предосторожностях.

Если на изделие нанесен подобный знак, следует выполнять меры предосторожности во избежание электрического шока.

Если на изделие нанесен подобный знак, это означает, что компонент может быть горячим. Прикосновение может привести к травме.

NI FlexRIO FPGA Module — Модуль NI FlexRIO FPGA означает любой из модулей FPGA NI PXI-795xR или NI PXIe-796xR для NI FlexRIO.

Возможности и изменения комплекта разработчика адаптера NI FlexRIO

Версия 1.1

Новые возможности

В данном выпуске комплекта разработки адаптера NI FlexRIO добавлены или обновлены следующие возможности:

- Обновлены файлы разработки печатных плат, ламельные контакты концевых разъемов и корпуса.
- Добавлены проектные файлы типов STEP, IGES и Pro/E.

Исправленные ошибки

В данном выпуске руководства по применению комплекта разработчика адаптера NI FlexRIO исправлены следующие ошибки.

Таблица 1. Исправленные ошибки в комплекте разработчика адаптера NI FlexRIO, версия 1.1

CAR ID	Номер страницы руководства	Краткие сведения
134060	2-4	Рисунок 2-4, *Блок-схема интеграции аппаратных средств LabVIEW FPGA и Socketed Component-Level IP* изображает узел DRAM, как включенный в проект модуля NI FlexRIO FPGA, но размер блока модуля FPGA должен быть уменьшен, чтобы было видно, что DRAM находится вне модуля NI FlexRIO FPGA.
134541	5-4	Исправлена толщина печатной платы. Уточнен зазор на лицевой и обратной стороне платы.

Таблица 1. Исправленные ошибки в комплекте разработчика адаптера NI FlexRIO, версия 1.1 (Продолжение)

CAR ID	Номер страницы руководства	Краткие сведения
134541	10-7	Добавлена информация о том, что все CLIP-блоки адаптера должны использовать компоненты BUFGCE для стробирования входов синхронизации в LabVIEW FPGA. Сигналы синхронизации могут быть нестабильны до или во время включения питания модуля ввода-вывода. Подключив сигнал IO Module Enabled к контакту разрешения BUFG, вы можете держать синхроимпульсы отключенными, пока они не стабилизируются.
136184	3-11	Добавлен список линий ввода-вывода FPGA, используемых для каждой линии GPIO , например, aUserGpio(32) должен быть отмечен, как G26 в банке 13.
145838	4-3, 5-4	Добавлен раздел о помехах синхронного переключения выходов (SSO) и раздел видимых трасс/зазоров между переходными отверстиями на обратной стороне печатной платы рядом с ламелями, чтобы показать, что край корпуса может контактировать с печатной платой.

Версия 1.2

Новые возможности

В данном выпуске руководства по применению комплекта разработки адаптера NI FlexRIO добавлены или обновлены следующие пункты:

- Добавлена информация об устройствах NI FlexRIO PXIe-796*x*R
- Добавлена инструкция по регистрации вашего комплекта разработки адаптера NI FlexRIO (стр. 13)
- Обновлен протокол отключения адаптера. (стр. 40)
- Новые соображения по поводу разработки цепей заземления в адаптере (стр. 44)
- Обновлены размеры печатной платы, краевого разъема и корпуса адаптера (стр. 56)
- Добавлена информация о сигнале синхронизации в PXI Express - (IoModSyncClk) (стр. 47 и 88)

Исправленные ошибки

В данном выпуске руководства по применению комплекта разработчика адаптера NI FlexRIO исправлены следующие ошибки.

Таблица 2. Исправленные ошибки в комплекте разработчика адаптера NI FlexRIO, версия 1.2

CAR ID	Номер страницы руководства	Краткие сведения
172060	8-6	Поправлена группировка банков на рисунке 8-4
184265	3-14, 3-15	Обновлены таблицы распределения контактов ввода-вывода FPGA для подтверждения правильных списков сигналов с поддержкой тактирования.
186055	3-2	Задана стабилизация напряжения источника питания модуля FlexRIO FPGA для адаптера.
209674	3-2	Обновлены значения стабилизации напряжения источника питания.
214282	5-3, 6.7, 7-2	Обновлены чертежи с размерами для подтверждения верных значений. Добавлена таблица доступных файлов проекта и типов файлов.
217291	8-6	Исправлена ориентация контактов модуля FPGA

Сопутствующая документация

Следующие документы содержат информацию, которая может оказаться полезной при чтении данного руководства.

- *NI FlexRIO FPGA Module Specifications* - в документе приведены технические характеристики модуля NI FlexRIO FPGA. Этот документ поставляется вместе с вашим устройством, а также доступен по адресу `ni.com/manuals`.
- Документация по LabVIEW FPGA
  - *Getting Started with LabVIEW FPGA* - эта база знаний, доступная по адресу `ni.com/kb`, предоставляет ссылки на лучшие ресурсы, которые могут использоваться для начала программирования в LabVIEW FPGA.
  - Раздел *FPGA Module* в справке *LabVIEW Help* - выберите в меню LabVIEW **Help»Search the LabVIEW Help** для просмотра справки *LabVIEW Help*. Откройте раздел **FPGA Module** на закладке **Contents** для получения информации об использовании модуля FPGA для создания VI, которые выполняются в устройстве NI FlexRIO FPGA.
    - Раздел *Integrating Third-Party IP (FPGA Module)* справки *LabVIEW Help* - в справке *LabVIEW Help*, выберите **FPGA Module»Integrating Third-Party IP** для получения информации о добавлении пользовательского кода HDL в ваш проект LabVIEW.
    - Раздел *NI FlexRIO Reference and Procedures* справки *LabVIEW Help* - в справке *LabVIEW Help* выберите раздел **FPGA Module»NI FlexRIO Reference and Procedures** для получения информации о поддержке устройством NI FlexRIO функций

ввода-вывода FPGA, терминалов, вариантов арбитража, методов и свойств. В этом разделе представлена также дополнительная информация об использовании LabVIEW и LabVIEW FPGA с устройствами NI FlexRIO.

- *LabVIEW FPGA Module Release and Upgrade Notes* - содержит информацию об инсталляции модуля LabVIEW FPGA, а также описание новых свойств и сведения об обновлении. Для доступа к этому документу обратитесь по адресу `ni.com/manuals`. В LabVIEW вы также можете просмотреть папку LabVIEW Manuals, находящуюся по адресу **Пуск»Все программы»National Instruments»LabVIEW»LabVIEW Manuals**.

- Документация по LabVIEW Real-Time
  - *Getting Started with the LabVIEW Real-Time Module* - содержит упражнения для изучения принципов разработки проектов и VI реального времени, от настройки целевых устройств реального времени до создания, отладки и развертывания приложений реального времени. В этом документе имеются ссылки на справку LabVIEW Help и другие документы модуля Real-Time для получения дополнительной информации о создании приложения реального времени. Этот документ можно найти по ссылке `ni.com/manuals`. В LabVIEW версии 8.0 и выше вы можете, выбрав меню **Пуск»Все программы»National Instruments»LabVIEW»LabVIEW Manuals**, просмотреть также папку LabVIEW Manuals, содержащую упомянутый документ.
  - Раздел *Real-Time Module* справки *LabVIEW Help* - выберите **Help»Search the LabVIEW Help** в LabVIEW для просмотра справки *LabVIEW Help*. Откройте раздел **Real-Time Module** на закладке **Contents** для получения информации о разработке детерминированных приложений с помощью модуля LabVIEW Real-Time.
  - *LabVIEW Real-Time Module Release and Upgrade Notes* - включает информацию о системных требованиях, инсталляции, конфигурировании, новых возможностях и изменениях, а также проблемах совместимости модуля LabVIEW Real-Time. Для доступа к этому документу обратитесь по адресу `ni.com/manuals.` В LabVIEW вы можете также просмотреть папку LabVIEW Manuals, содержащую этот документ, выбрав в меню **Пуск»Все программы»National Instruments»LabVIEW»LabVIEW Manuals**.

Дополнительные ресурсы

Следующие ресурсы содержат информацию, которая может оказаться для вас полезной:

- *National Instruments Example Finder* - LabVIEW содержит обширную библиотеку VI и примеров программ для использования с устройствами NI FlexRIO. Для запуска Поисковика примеров NI (NI Example Finder) запустите LabVIEW, выберите пункт меню **Help»Find Examples**, далее выберите **Hardware Input and Output»FlexRIO**.

- `ni.com/flexrio` - содержит сведения об изделиях и полезные ссылки на форум NI FlexRIO и сообщество NI для устройств NI FlexRIO.
- *LabVIEW FPGA IPNet* - предлагает ресурсы для просмотра, освоения и загрузки функций LabVIEW FPGA или IP (Intellectual Property). Используйте этот ресурс для получения IP, необходимых в вашем приложении, скачивания примеров для изучения техники программирования и эффективности IP, предлагаемых платформой LabVIEW FPGA. Для доступа к LabVIEW FPGA IPNet обратитесь по адресу `ni.com/ipnet`.
- Документация, доступная из Xilinx - документация Xilinx FPGA предоставляет информацию, необходимую для разработки специализированных адаптеров, например, информацию о максимальных рабочих напряжениях FPGA и стандартных характеристиках ввода-вывода. Обратитесь к приложению C, *Ссылки на документацию Xilinx*, для получения рекомендаций на конкретную документацию Xilinx.
- `flexrio.mdk@ni.com` - это закрытый электронный адрес доступен исключительно пользователям комплекта разработки адаптеров NI FlexRIO для получения прямой поддержки National Instruments. Отправьте запрос по адресу `flexrio.mdk@ni.com`, чтобы зарегистрировать ваш комплект разработки адаптеров NI FlexRIO или чтобы получить уникальный идентификатор производителя (Vendor ID). Обратитесь к разделу *Регистрация* главы 1, *Прежде, чем приступить к работе*, для получения дополнительной информации о регистрации вашего адаптера.

1

1. Прежде, чем приступить к работе

В этом разделе содержится информация, которая понадобится до начала разработки собственного адаптера NI FlexRIO.

Требования к проектированию

Для успешного проектирования системы с использованием комплекта разработки адаптеров NI FlexRIO необходимы знания в следующих областях:

- Проектирование принципиальных электрических схем
- Проектирование и изготовление печатных плат
- Монтаж печатных плат
- Разработка VHDL кода

Примечание Для разработки приложения NI FlexRIO необходимо знание NI LabVIEW и LabVIEW FPGA.

Регистрация

Вы должны зарегистрировать свой комплект разработчика адаптеров NI FlexRIO.

Регистрация гарантирует получение пользователями комплекта разработчика адаптеров NI FlexRIO важной информации от NI, например, изменений документации и обновления файлов разработки. Чтобы зарегистрировать ваш комплект разработчика адаптеров NI FlexRIO, отправьте запрос на электронный адрес `flexrio.mdk@ni.com` с темой письма `Registration`.

Пожалуйста, включите в письмо следующую информацию:

- Название вашей компании
- Контактное имя и электронный адрес - обновления комплекта разработчика адаптеров NI FlexRIO быстро распространяются через закрытое сообщество на сайте `ni.com`. Этот электронный адрес будет использован для приглашения вас в сообщество разработчиков адаптеров NI FlexRIO.

- Краткое описание проекта адаптера – в случае, если в процессе проектирования вам потребуется помощь NI, эта информация поможет команде технической поддержки NI FlexRIO предложить быстрые и более точные решения вашей проблемы.
- Запрос на идентификатор производителя (Vendor ID) модуля ввода-вывода - идентификатор производителя модуля ввода-вывода аналогичен идентификатору производителя PCI, и является важным элементом при конфигурировании вашего адаптера. Каждый производитель адаптера должен использовать выделенный ему идентификатор модуля ввода-вывода для всех производимых адаптеров. NI рекомендует использовать единственный идентификатор модуля ввода-вывода для вашей компании, чтобы упростить отслеживание и поддержку. Если хотите использовать ранее присвоенный вам идентификатор производителя PCI, как идентификатор модуля ввода-вывода, включите в письмо и эту информацию. Если у вас нет идентификатора производителя PCI, или вы не хотите использовать его как идентификатор модуля ввода-вывода NI FlexRIO, NI может назначить уникальный идентификатор для разработки модуля NI FlexRIO. Для получения дополнительной информации об идентификаторе производителя модуля ввода-вывода и его применении с вашем адаптером обратитесь к главе 9, *Конфигурирование адаптера для использования с LabVIEW FPGA*.

2

2. Архитектура NI FlexRIO

Архитектура NI FlexRIO позволяет максимально адаптировать изделие к приложению. Ниже приведен список пяти основных элементов решения, основанного на NI FlexRIO.

- Модуль NI FlexRIO FPGA
- Печатная плата модуля сопряжения и корпус модуля
- Хост-VI LabVIEW
- LabVIEW FPGA VI
- Специальные объекты адаптера (CLIP-блоки)

Эти элементы приведены на рисунке 2-1.

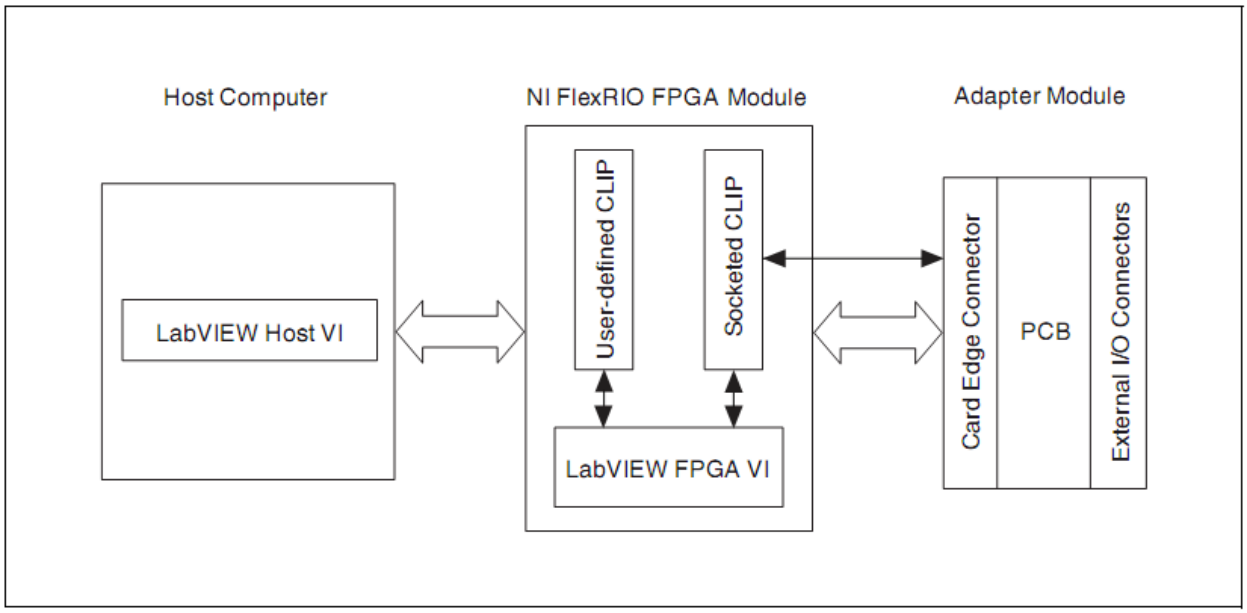


Рисунок 2-1. Элементы системной архитектуры NI FlexRIO

Хост-VI LabVIEW и LabVIEW FPGA VI являются общими для всех целевых устройств NI LabVIEW FPGA, в которые пользователи должны записать собственные хост-VI и FPGA VI на основании требований к приложению. Блоки CLIP адаптера и печатная плата (PCB) адаптера уникальны при проектировании адаптера в архитектуре NI FlexRIO.

В следующих разделах описываются эти элементы более подробно.

Общие сведения о модуле NI FlexRIO FPGA

Модуль NI FlexRIO FPGA – это реконфигурируемое PXI или PXI Express устройство, обладающее следующими свойствами:

- 66 дифференциальных линий ввода-вывода общего назначения (GPIO), которые могут быть сконфигурированы для 132 несимметричных сигналов
- Скорость ввода-вывода вплоть до 1 Гб/с при работе в конфигурации LVDS и 400Мб/с в несимметричном режиме
- Virtex-5 FPGA
- Встроенная память DRAM
  - **(только для модулей NI PXIe-7962R/7965R)** Два независимых банка памяти по 256 МБ
  - **(только для модулей NI PXI-7952R/7953R/7954R)** Два независимых банка памяти по 64 МБ

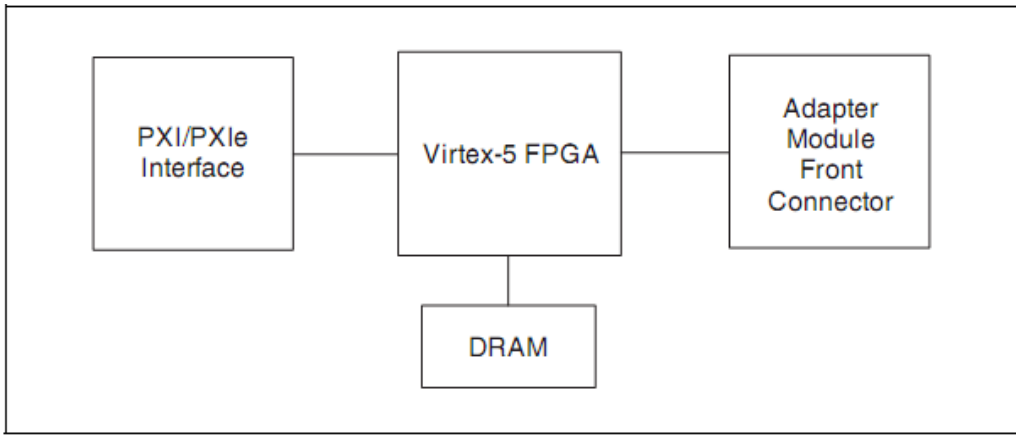


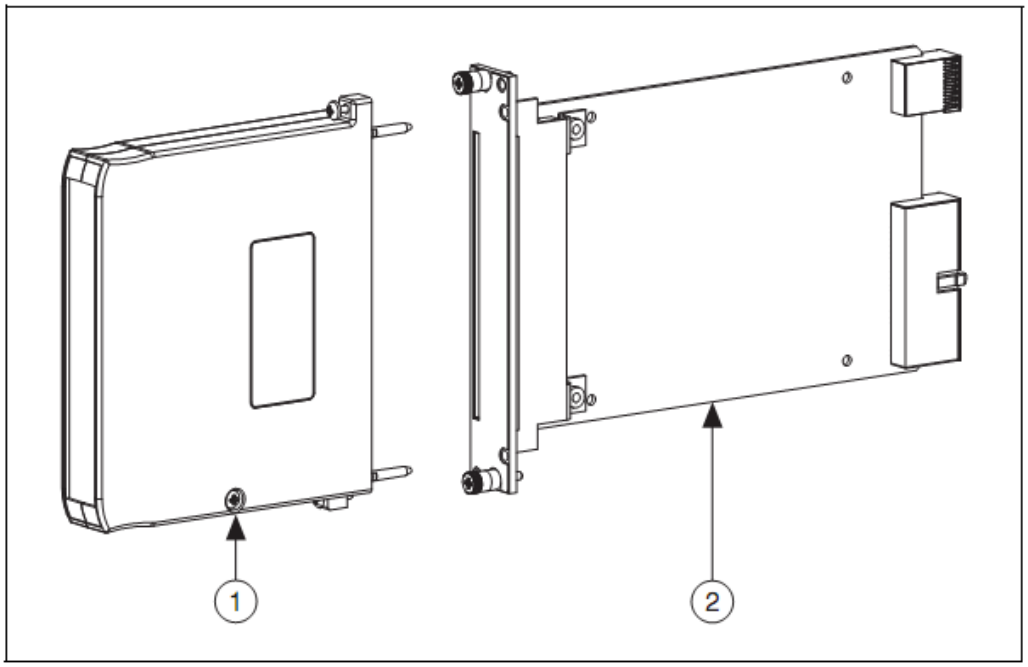
Рисунок 2-2. Архитектура модуля NI FlexRIO FPGA

Примечание Устройства NI PXI-7951R/PXIe-7961R не имеют встроенной памяти DRAM.

Печатная плата адаптера

Печатная плата адаптера монтируется в стандартном корпусе NI FlexRIO и вставляется в разъем лицевой панели модуля NI FlexRIO FPGA. Такая сборка позволяет пользователю полностью адаптировать интерфейс своего устройства NI FlexRIO. В главах 2 - 7 описаны пошаговые инструкции, необходимые для разработки пользовательского адаптера NI FlexRIO.

На рисунке 2-3 показано устройство NI FlexRIO, состоящее из адаптера и модуля NI FlexRIO FPGA.



1 NI FlexRIO Adapter Module	2 NI FlexRIO FPGA Module

Рисунок 2-3. Сборка модуля NI FlexRIO FPGA и адаптера

При проектировании пользовательской печатной платы необходимо учитывать:

- Интерфейс и протокол адаптера
- Электрическую схему
- Печатную плату
- Механическое исполнение
- Схему для создания интерфейса вашего приложения, использующую пользовательские сигналы и средства ввода-вывода модуля NI FlexRIO FPGA.

В следующих разделах подробно рассмотрены требования к разработке адаптера.

LabVIEW Host VI и LabVIEW FPGA VI

Устройство NI FlexRIO требует для работы как хост-VI LabVIEW, так и LabVIEW FPGA VI. Хост-VI выполняется на хост-компьютере (PC), а FPGA VI после компиляции работает в FPGA. Для получения дополнительной информации о методах связи между хост-компьютером и LabVIEW FPGA VI обратитесь к разделу *FPGA Module* справки *LabVIEW Help*.

Блоки CLIP адаптера

В LabVIEW FPGA 8.6 и выше включена возможность интеграции HDL IP под названием Component Level Intellectual Property (CLIP). CLIP-блоки позволяет внедрять собственные HDL IP объекты в целевое устройство LabVIEW FPGA.

На рисунке 2-4 показаны связи между FPGA VI - два типа блоков CLIP, определяемые пользователем (User-defined) и подключаемые (Socketed) - и адаптером NI FlexRIO.

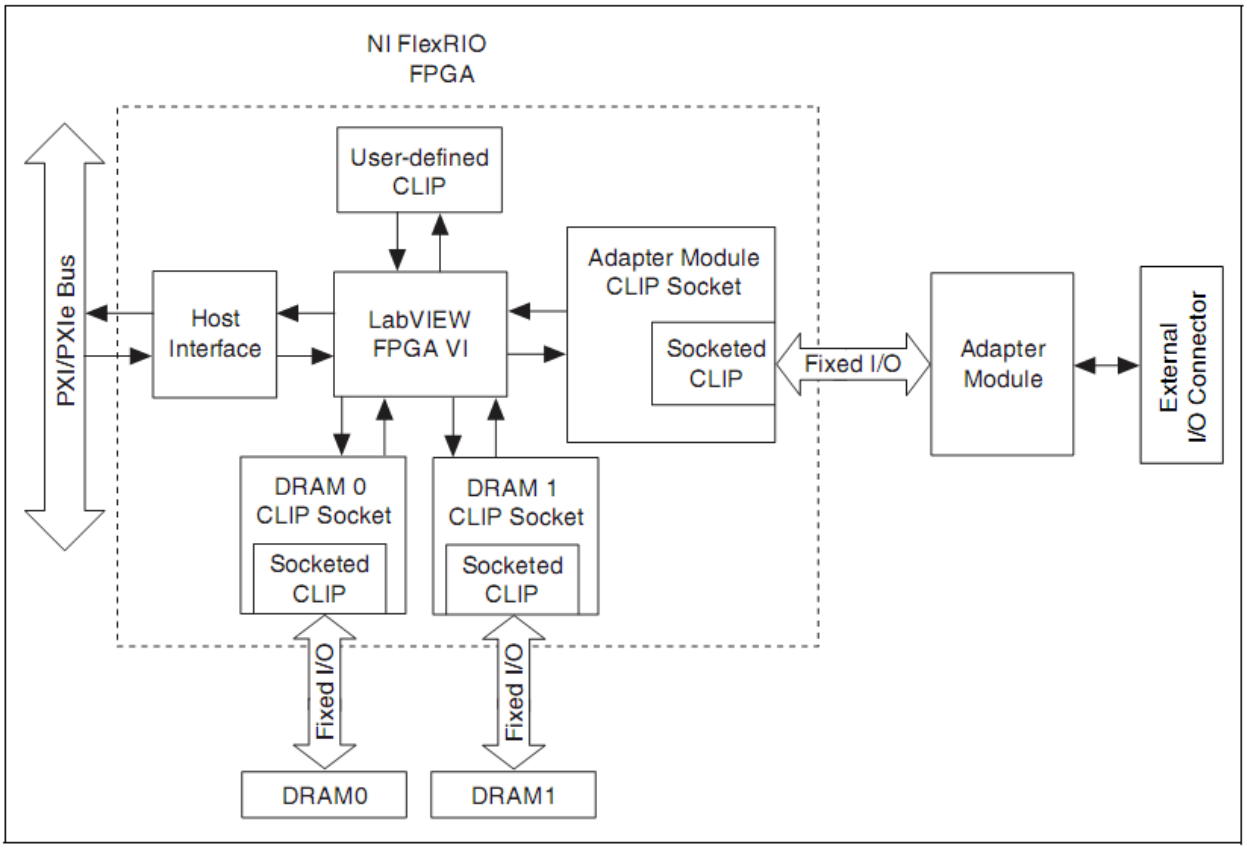


Рисунок 2-4. Диаграмма интеграции LabVIEW FPGA и подключаемых аппаратных средств (CLIP)

Устройства NI FlexRIO поддерживают два типа блоков CLIP: определяемые пользователем и подключаемые. Определяемые пользователем CLIP позволяют пользователю внедрять HDL IP в целевой объект LabVIEW и связывать код VHDL непосредственно с FPGA VI.

В устройствах NI FlexRIO используются также подключаемые блоки CLIP, обеспечивающие такую же функциональность интеграции с IP, что и блоки CLIP, определяемые пользователем, а также позволяющие непосредственно связываться со внешними по отношению к FPGA схемами.

Подключаемые блоки CLIP адаптера позволяют вашим IP непосредственно связываться как с FPGA VI, так и с интерфейсом внешнего разъема адаптера. Разработка подключаемых блоки CLIP адаптера рассматривается в главе 10, *Создание подключаемого блока CLIP для адаптера*.

3

3. Интерфейс и протокол адаптера

В этом разделе приведены электрические характеристики интерфейса адаптера и протокола включения питания линий ввода-вывода. Описания сигналов и подробности их применения приведены в таблицах. Необходимо придерживаться данных спецификаций, чтобы гарантировать правильную и надежную работу адаптера. Для получения дополнительной информации обратитесь к документу *FlexRIO FPGA Module Specifications*, доступному по адресу `ni.com/manuals`.

Электрический интерфейс адаптера

Через разъем лицевой панели модуля NI FlexRIO FPGA предоставляется питание, синхронизация и подключение ввода-вывода между модулем NI FlexRIO FPGA и адаптером. Этот интерфейс также включает выделенные контакты для обнаружения, идентификации и определения состояния адаптера. Детали и местонахождения контактов описаны ниже.

Требования к питанию

В разъеме адаптера имеются пять шин питания постоянного тока. В таблице 3-1 перечислены их назначение и характеристики. NI рекомендует, чтобы максимальная мощность, рассеиваемая в разрабатываемом адаптере, не превышала 6 Вт для всех компонентов. В таблице 3-1 приведены также мощности, доступные на разъеме адаптера. Питание для работы адаптера может быть также подано извне, однако, из-за требований к охлаждению, полная мощность, рассеиваемая в адаптере, не должно превышать 6 Вт.

Мощность, рассеиваемая вне адаптера - например, мощность на внешних оконечных нагрузках - может превышать 6 Вт.

Таблица 3-1. Контакты разъема питания постоянного тока

Наименование	Значение	Макс. ток	Описание
+3.3V	3.3 V +5%/–7.5%	1A	Шина питания общего назначения, которая может использоваться как для питания логики 3.3 В, так и в качестве источника для формирования других требуемых напряжений питания.
+12V	12 V +5%/–5.6%	200 мА	Шина питания общего назначения, которая может использоваться как вход преобразователей DC-DC или для питания аналоговых схем.
V_{ccoA}/ V_{ccoB}	Выбирается (1.2 В, 1.5 В, 1.8 В, 2.5 В и 3.3 В)	Каждый по 250 мА	Шины питания ввода-вывода, разделяемые с FPGA для схем цифрового интерфейса.
V_{eeprom}	+3.3V	10 мА	Используется для питания I^2C EEPROM, где хранится информация о конфигурации адаптера

Шина электропитания, доступная из модуля NI FlexRIO FPGA для адаптера, требует емкости большого номинала для фильтрации высокочастотных помех и уменьшения влияния проходящих рядом шин и цепей. При расчете общей емкости следует учитывать требования по току включения модуля NI FlexRIO FPGA и всей системы PXI/PXI Express в целом. Когда по шинам питания из модуля NI FlexRIO FPGA в адаптер подается напряжение, пусковой ток заряжает все конденсаторы, связанные с шинами питания. Этот ток может не повлиять на работу системы PXI/PXI Express, однако из-за большой емкости конденсатора возможен большой выброс тока на объединительной панели PXI/PXI Express. Для предотвращения перегрузки, по току вы должны следовать следующим указаниям:

- Ограничьте суммарную емкость конденсаторов на каждой шине значением в 10 мкФ или меньше, эта емкость может быть соответствующим образом распределена. Например, на шине +12В может быть конденсатор емкостью 1 мкФ там в месте входа шины в адаптер, и общую развязывающую емкость 9 мкФ, распределенную по системе в местах, где необходимо фильтровать питание компонентов. Большинству компонентов требуется развязывающий конденсатор емкостью 0,1 мкФ. Это позволяет отфильтровать питание около 90 компонентов, оставаясь в пределах спецификации.
- Не забывайте о номинальном напряжении, требуемом для конденсаторов на каждой шине. NI рекомендует выбирать керамические конденсаторы с по крайней мере удвоенным значением номинального напряжения и примерно утроенного значения для электролитических конденсаторов. Если, например, в качестве описанного выше конденсатора емкостью 1 мкФ на шине +12 В выбран танталовый конденсатор, его номинальное напряжение должно составлять не менее 35 В. Если используется керамический конденсатор, например, X7R, его номинальное напряжение должно быть не меньше 25 В.

Сигналы на разъеме адаптера

Конструкция печатной платы адаптера предусматривает краевой разъем. Этот разъем вставляется в разъем на лицевой панели модуля NI FlexRIO FPGA , обеспечивая доступ к сигналам.

Описания сигналов

В таблицах 3-2, 3-3 и 3-4 приведены различные управляющие и прочие сигналы связи с модулем NI FlexRIO FPGA. Это управляющие сигналы адаптера, глобальный синхронизирующий сигнал и шины питания. Эти сигналы, вместе с выбором предлагаемых схем и компонентов, рассматриваются в следующих разделах.

Таблица 3-2. Назначения контактов и описание управляющих сигналов

Контакт	Сигнал	Направление	Описание
S71	Veeprom	к адаптеру	Источник питания 3.3 В, используемый только для питания EEPROM идентификации адаптера.
S73	TB_Power_Good	от адаптера	TTL-вход FPGA напряжением 3.3В. Адаптер передает этот сигнал в модуль NI FlexRIO FPGA при включении, чтобы показать, что шины питания адаптера запитаны и стабильны. Адаптер удерживает эту линию активной во время работы устройства.
S147	TB_Present_n	от адаптера	Адаптер подает на эту линию сигнал низкого уровня, чтобы показать модулю NI FlexRIO FPGA присутствие адаптера. Подключите эту линию к земле (GND).
S148	SCL	к адаптеру	Сигнал синхронизации шины I^2C от контроллера шины модуля NI FlexRIO FPGA к адаптеру. Этот сигнал питается от V_{eeprom}.
S74	SDA	двунаправленный	Линия последовательных данных I^2C. Этот сигнал питается от V_{eeprom}.
S146	VccoA	к адаптеру	Выбираемая напряжение для питания схем интерфейса между адаптером и модулем NI FlexRIO FPGA . Обратитесь к разделу *Напряжения банка ввода-вывода FPGA* главы 4, *О разработке электрической схемы,* для получения дополнительной информации.

Таблица 3-2. Назначения контактов и описание управляющих сигналов (Продолжение)

Контакт	Сигнал	Направление	Описание
S72	VccoB	к адаптеру	Выбираемая напряжение для питания схем интерфейса между адаптером и модулем NI FlexRIO FPGA . Обратитесь к разделу *Напряжения банка ввода-вывода FPGA* главы 4, *О разработке электрической схемы,* для получения дополнительной информации.
S114	GND	земля	Для правильной работы все сигналы GND адаптера должны подключаться непосредственно к слою заземления экрану печатной платы адаптера.
S69	RSVD_A1	-	Зарезервирован для будущего использования. Не подключать.
S70	RSVD_A2	-	Зарезервирован для будущего использования. Не подключать.
S143	(NI PXI-795xR) RSVD_B1	-	Зарезервирован для будущего использования. Не подключать.
	(NI PXIe-796xR) IoModSyncClk	-	Положительный контакт дифференциального цепи тактового импульса адаптера от линий DStarA или PXI_Clk10. Для получения дополнительной информации обратитесь к разделу *IoModSynClk* главы 4, *О разработке электрической схемы*.
S144	(NI PXI-795xR) RSVD_B1	-	Зарезервирован для будущего использования. Не подключать.
	(NI PXIe-796xR) IoModSyncClk_n	-	Отрицательный контакт дифференциального цепи тактового импульса адаптера от линий DStarA или PXI_Clk10. Для получения дополнительной информации обратитесь к разделу *IoModSynClk* главы 4, *О разработке электрической схемы*.
S145	RSVD_CNTL	-	Зарезервирован для будущего использования. Не подключать.

Таблица 3-3. Входные подключения и назначения контактов глобальных синхроимпульсов

Контакт	Сигнал	Направление	Описание
S39	GClk_LVDS	от адаптера	Подключен непосредственно к контактам генератора глобальных синхроимпульсов LVDS FPGA (2.5 В) **Примечание:** для LVDS требуется параллельная оконечная нагрузка в 100 Ом. Включите оконечную нагрузку GClk_LVDS/GClk_LVDS_n в файле ограничений UCF. Для получения дополнительной информации об ограничениях в файле UCF, обратитесь к разделу *ExampleIOModuleCLIP.ucf* главы10, *Создание подключаемого* блока *CLIP для адаптера*.
S40	GClk_LVDS_n	от адаптера	
S113	GClk_SE	от адаптера	Подключен непосредственно к контактам генератора глобальных синхроимпульсов LVTTL FPGA

Таблица 3-4. Назначение контактов подключения питания

Контакт	Сигнал	Направление	Описание
P1	+3.3V	к адаптеру	Шина питания общего назначения
P2	+12V	к адаптеру	Шина питания общего назначения
G<1..37>	GND	земля	Для правильного функционирования подключайте все сигналы GND непосредственно к слою заземления печатной платы адаптера.

Ввод-вывод общего назначения (GPIO)

В таблицах 3-5, 3-6, 3-7 и 3-8 приведены сигналы ввода-вывода общего назначения (GPIO), доступные в модуле NI FlexRIO FPGA. В эту группу сигналов входят 66 дифференциальных пар GPIO, которые могут быть сконфигурированы как 132 несимметричных сигнала (или их комбинации), доступных пользователю для создания цифрового интерфейса между модулем NI FlexRIO FPGA и адаптером.

При использовании несимметричных сигналов (SE) каждой линии GPIO соответствует индивидуальная обратная линия заземления. Например, в несимметричном режиме GPIO_0 и GPIO_0_n - независимые сигналы, которые можно рассматривать как GPIO_*x* и GPIO_*y*.

При конфигурировании дифференциального сигнала две линии составляют дифференциальную пару, считающуюся одним сигналом. Пара состоит из положительной и отрицательной линии. Отрицательная линия отмечена знаком _*n*. Например, GPIO_0 - положительная линия дифференциального сигнала, а GPIO_0_n - отрицательная.

В дополнение к возможностям цифрового интерфейса, сигнальные линии, обозначенные h _*CC*, поддерживают функции тактирования, то есть у них есть доступ к локальным синхросигналам банка. Для получения дополнительной информации о сигнальных линиях с поддержкой тактирования обратитесь к разделу *Тактовые импульсы и временные параметры* главы 4, *О разработке электрической схемы*.

Таблица 3-5. Назначение контактов банка 0

Контакт	Сигнал	Направление	Описание
S142	GPIO_0	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S141	GPIO_0_n	Двунаправленный	
S140	GPIO_1	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S139	GPIO_1_n	Двунаправленный	
S138	GPIO_2	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S137	GPIO_2_n	Двунаправленный	
S136	GPIO_3	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S135	GPIO_3_n	Двунаправленный	
S134	GPIO_4_CC	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения. Поддержка локальных синхроимпульсов.
S133	GPIO_4_n_CC	Двунаправленный	
S132	GPIO_5_CC	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения. Поддержка локальных синхроимпульсов.
S131	GPIO_5_n_CC	Двунаправленный	
S130	GPIO_6_CC	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения. Поддержка локальных синхроимпульсов.
S129	GPIO_6_n_CC	Двунаправленный	
S128	GPIO_7_CC	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения. Поддержка локальных синхроимпульсов.
S127	GPIO_7_n_CC	Двунаправленный	
S126	GPIO_8	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S125	GPIO_8_n	Двунаправленный	
S124	GPIO_9	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S123	GPIO_9_n	Двунаправленный	

Таблица 3-5. Назначение контактов банка 0 (Продолжение)

Контакт	Сигнал	Направление	Описание
S122	GPIO_10	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S121	GPIO_10_n	Двунаправленный	
S120	GPIO_11	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S119	GPIO_11_n	Двунаправленный	
S118	GPIO_12	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S117	GPIO_12_n	Двунаправленный	
S116	GPIO_13	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S115	GPIO_13_n	Двунаправленный	
S112	GPIO_14	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S111	GPIO_14_n	Двунаправленный	
S110	GPIO_15	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S109	GPIO_15_n	Двунаправленный	

Таблица 3-6. Назначение контактов банка 1

Контакт	Сигнал	Направление	Описание
S68	GPIO_16	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S67	GPIO_16_n	Двунаправленный	
S66	GPIO_17	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S65	GPIO_17_n	Двунаправленный	
S64	GPIO_18	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S63	GPIO_18_n	Двунаправленный	
S62	GPIO_19	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S61	GPIO_19_n	Двунаправленный	
S60	GPIO_20	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S59	GPIO_20_n	Двунаправленный	
S58	GPIO_21	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S57	GPIO_21_n	Двунаправленный	
S56	GPIO_22	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S55	GPIO_22_n	Двунаправленный	

Таблица 3-6. Назначения контактов банка 1 (Продолжение)

Контакт	Сигнал	Направление	Описание
S54	GPIO_23_CC	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения. Поддержка локальных синхроимпульсов.
S53	GPIO_23_n_CC	Двунаправленный	
S52	GPIO_24_CC	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения. Поддержка локальных синхроимпульсов.
S51	GPIO_24_n_CC	Двунаправленный	
S50	GPIO_25_CC	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения. Поддержка локальных синхроимпульсов.
S49	GPIO_25_n_CC	Двунаправленный	
S48	GPIO_26_CC	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения. Поддержка локальных синхроимпульсов.
S47	GPIO_26_n_CC	Двунаправленный	
S46	GPIO_27	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S45	GPIO_27_n	Двунаправленный	
S44	GPIO_28	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S43	GPIO_28_n	Двунаправленный	
S42	GPIO_29	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S41	GPIO_29_n	Двунаправленный	
S38	GPIO_30	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S37	GPIO_30_n	Двунаправленный	
S36	GPIO_31	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S35	GPIO_31_n	Двунаправленный	
S34	GPIO_32	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S33	GPIO_32_n	Двунаправленный	

Таблица 3-7. Назначение контактов банка 2

Контакт	Сигнал	Направление	Описание
S32	GPIO_33	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S31	GPIO_33_n	Двунаправленный	
S30	GPIO_34	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S29	GPIO_34_n	Двунаправленный	
S28	GPIO_35	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S27	GPIO_35_n	Двунаправленный	
S26	GPIO_36	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S25	GPIO_36_n	Двунаправленный	
S24	GPIO_37_CC	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения. Поддержка локальных синхроимпульсов.
S23	GPIO_37_n_CC	Двунаправленный	
S22	GPIO_38_CC	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения. Поддержка локальных синхроимпульсов.
S21	GPIO_38_n_CC	Двунаправленный	
S20	GPIO_39_CC	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения. Поддержка локальных синхроимпульсов.
S19	GPIO_39_n_CC	Двунаправленный	
S18	GPIO_40_CC	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения. Поддержка локальных синхроимпульсов.
S17	GPIO_40_n_CC	Двунаправленный	
S16	GPIO_41	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S15	GPIO_41_n	Двунаправленный	
S14	GPIO_42	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S13	GPIO_42_n	Двунаправленный	
S12	GPIO_43	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S11	GPIO_43_n	Двунаправленный	
S10	GPIO_44	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S9	GPIO_44_n	Двунаправленный	
S8	GPIO_45	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S7	GPIO_45_n	Двунаправленный	

Таблица 3-7. Назначение контактов банка 2 (Продолжение)

Контакт	Сигнал	Направление	Описание
S6	GPIO_46	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S5	GPIO_46_n	Двунаправленный	
S4	GPIO_47	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S3	GPIO_47_n	Двунаправленный	
S2	GPIO_48	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S1	GPIO_48_n	Двунаправленный	

Таблица 3-8. Назначение контактов банка 3

Контакт	Сигнал	Направление	Описание
S108	GPIO_49	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S107	GPIO_49_n	Двунаправленный	
S106	GPIO_50	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S105	GPIO_50_n	Двунаправленный	
S104	GPIO_51	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S103	GPIO_51_n	Двунаправленный	
S102	GPIO_52	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S101	GPIO_52_n	Двунаправленный	
S100	GPIO_53	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S99	GPIO_53_n	Двунаправленный	
S98	GPIO_54	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S97	GPIO_54_n	Двунаправленный	
S96	GPIO_55	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S95	GPIO_55_n	Двунаправленный	
S94	GPIO_56_CC	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения. Поддержка локальных синхроимпульсов.
S93	GPIO_56_n_CC	Двунаправленный	
S92	GPIO_57_CC	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения. Поддержка локальных синхроимпульсов.
S91	GPIO_57_n_CC	Двунаправленный	

Таблица 3-8. Назначение контактов банка 3 (Продолжение)

Контакт	Сигнал	Направление	Описание
S90	GPIO_58_CC	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения. Поддержка локальных синхроимпульсов.
S89	GPIO_58_n_CC	Двунаправленный	
S88	GPIO_59_CC	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения. Поддержка локальных синхроимпульсов.
S87	GPIO_59_n_CC	Двунаправленный	
S86	GPIO_60	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S85	GPIO_60_n	Двунаправленный	
S84	GPIO_61	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S83	GPIO_61_n	Двунаправленный	
S82	GPIO_62	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S81	GPIO_62_n	Двунаправленный	
S80	GPIO_63	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S79	GPIO_63_n	Двунаправленный	
S78	GPIO_64	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S77	GPIO_64_n	Двунаправленный	
S76	GPIO_65	Двунаправленный	Несимметричные или дифференциальные линии ввода-вывода общего назначения
S75	GPIO_65_n	Двунаправленный	

Подробнее о банке x линий ввода-вывода общего назначения

На торцевом разъеме платы адаптера доступны четыре банка линий GPIO FPGA. Эти четыре банка соответствуют четырем физическим банкам ввода-вывода FPGA. Ввод-вывод FPGA разделен на четыре банка для большей гибкости конфигурации. Четыре банка ввода-вывода FPGA в модуле NI FlexRIO FPGA подключены к двум отдельным источникам питания V_{cco}, которые могут быть сконфигурированы независимо и определяют совместимость с доступными стандартами ввода-вывода. Локальные ресурсы тактирования также могут быть разделены по банкам. Для получения дополнительной информации о банках ввода-вывода обратитесь к главе 4, *О разработке электрической схемы*.

В таблице 3-9 приведена связь между банками ввода-вывода модуля NI FlexRIO FPGA и банками Xilinx FPGA, из которых они созданы. Каждый банк имеет опорное напряжение для сигналов ввода-вывода. Существуют две независимых шины напряжения ввода-вывода - V_{ccoA} and V_{ccoB}. В таблице 3-9 показано также, какая шина к какому банку подключена.

Таблица 3-9. Опорные сигналы банков

Банк адаптера	Шина опорного напряжения V_{cco}	Банк Xilinx FPGA (для опорного напряжения)
0	V_{ccoA}	17
1	V_{ccoA}	13
2	V_{ccoB}	11
3	V_{ccoB}	15
Примечание: Значения V_{ccoA}/V_{ccoB} определяются файлом конфигурации адаптера (.tbc) во время конфигурирования устройства. Для получения дополнительной информации обратитесь к главе 9, *Конфигурирование адаптера для использования с LabVIEW FPGA.*		

На схеме адаптера также есть обозначения банков и соответствующих опорных напряжений на разъеме. Для получения дополнительной информации обратитесь к приложению A, *Рекомендуемое распределение сигналов.*

Выделение банков FPGA

Каждый сигнал GPIO соответствует конкретному контакту в выделенном банке ввода-вывода FPGA. В следующих таблицах приведены сигналы GPIO и соответствующие им контакты FPGA для каждого из соответствующих банков ввода-вывода FPGA I/O.

В устройствах NI PXI-795*x*R используются FPGA Virtex-5 LX30/LX50/LX85/LX110 в корпусе FF676. В таблицах 3-10, 3-11, 3-12 и 3-13 приведены назначения контактов корпуса Xilinx FF676. В устройствах NI PXIe-796*x*R используются FPGA Virtex-5 SX50T/SX95T в корпусе FF1136. В таблицах 3-14, 3-15, 3-16 и 3-17 приведены назначения контактов корпуса Xilinx FF1136.

Таблица 3-10. Назначение контактов банка 11 Virtex-5 LX30/LX50/LX85/LX110

Сигнал GPIO	Назначение контакта FPGA
GPIO_48	G20
GPIO_48_n	F20
GPIO_47	E21
GPIO_47_n	E20
GPIO_46	E22
GPIO_46_n	E23
GPIO_45	F22
GPIO_45_n	F23
GPIO_44	G21
GPIO_44_n	G22
GPIO_43	H21
GPIO_43_n	H22
GPIO_42	J19
GPIO_42_n	H19
GPIO_41	H23
GPIO_41_n	J23
GPIO_40_CC	J21
GPIO_40_n_CC	J20
GPIO_39_CC	K21
GPIO_39_n_CC	K20
GPIO_38_CC	K23
GPIO_38_n_CC	K22
GPIO_37_CC	L20
GPIO_37_n_CC	L19
GPIO_36	M22
GPIO_36_n	M21
GPIO_35	P19
GPIO_35_n	N19
GPIO_34	M20
GPIO_34_n	M19
GPIO_33	P23
GPIO_33_n	N23

Таблица 3-11. Назначение контактов банка 13 Virtex-5 LX30/LX50/LX85/LX110

Сигнал GPIO	Назначение контакта FPGA
GPIO_32	G26
GPIO_32_n	H26
GPIO_31	G24
GPIO_31_n	G25
GPIO_30	J25
GPIO_30_n	J26
GPIO_29	H24
GPIO_29_n	J24
GPIO_28	L24
GPIO_28_n	L25
GPIO_27	K25
GPIO_27_n	K26
GPIO_26_CC	M25
GPIO_26_n_CC	M26
GPIO_25_CC	M24
GPIO_25_n_CC	N24
GPIO_24_CC	P26
GPIO_24_n_CC	N26
GPIO_23_CC	P25
GPIO_23_n_CC	P24
GPIO_22	T24
GPIO_22_n	T25
GPIO_21	V26
GPIO_21_n	U26
GPIO_20	U24
GPIO_20_n	U25
GPIO_19	W25
GPIO_19_n	W26
GPIO_18	Y25
GPIO_18_n	Y26
GPIO_17	AB25
GPIO_17_n	AA25
GPIO_16	AC26
GPIO_16_n	AB26

Таблица 3-12. Назначение контактов банка 12 Virtex-5 LX30/LX50/LX85/LX110

Сигнал GPIO	Назначение контакта FPGA
GPIO_65	B15
GPIO_65_n	B16
GPIO_64	D16
GPIO_64_n	C16
GPIO_63	D18
GPIO_63_n	C17
GPIO_62	B17
GPIO_62_n	A17
GPIO_61	A18
GPIO_61_n	A19
GPIO_60	B19
GPIO_60_n	C18
GPIO_59_CC	A20
GPIO_59_n_CC	B20
GPIO_58_CC	C19
GPIO_58_n_CC	D19
GPIO_57_CC	D21
GPIO_57_n_CC	D20
GPIO_56_CC	C21
GPIO_56_n_CC	B21
GPIO_55	B22
GPIO_55_n	A22
GPIO_54	A23
GPIO_54_n	A24
GPIO_53	B24
GPIO_53_n	C23
GPIO_52	D24
GPIO_52_n	C24
GPIO_51	B25
GPIO_51_n	A25
GPIO_50	B26
GPIO_50_n	C26
GPIO_49	D26
GPIO_49_n	D25

Таблица 3-13. Назначение контактов банка 17 Virtex-5 LX30/LX50/LX85/LX110

Сигнал GPIO	Назначение контакта FPGA
GPIO_15	T23
GPIO_15_n	T22
GPIO_14	R21
GPIO_14_n	R20
GPIO_13	T20
GPIO_13_n	T19
GPIO_12	U22
GPIO_12_n	U21
GPIO_11	W24
GPIO_11_n	W23
GPIO_10	V24
GPIO_10_n	V23
GPIO_9	AA23
GPIO_9_n	AA24
GPIO_8	Y23
GPIO_8_n	Y22
GPIO_7_CC	AC23
GPIO_7_n_CC	AC22
GPIO_6_CC	AB24
GPIO_6_n_CC	AC24
GPIO_5_CC	AB22
GPIO_5_n_CC	AA22
GPIO_4_CC	AC21
GPIO_4_n_CC	AB21
GPIO_3	W21
GPIO_3_n	W20
GPIO_2	V19
GPIO_2_n	W19
GPIO_1	Y21
GPIO_1_n	Y20
GPIO_0	AD19
GPIO_0_n	AC19

Таблица 3-14. Назначение контактов банка 11 Virtex-5 SX50T/SX95T

Сигнал GPIO	Назначение контакта FPGA
GPIO_48	B32
GPIO_48_n	A33
GPIO_47	B33
GPIO_47_n	C33
GPIO_46	C32
GPIO_46_n	D32
GPIO_45	C34
GPIO_45_n	D34
GPIO_44	G32
GPIO_44_n	H32
GPIO_43	F33
GPIO_43_n	E34
GPIO_42	E32
GPIO_42_n	E33
GPIO_41	G33
GPIO_41_n	F34
GPIO_40_CC	J32
GPIO_40_n_CC	H33
GPIO_39_CC	H34
GPIO_39_n_CC	J34
GPIO_38_CC	L34
GPIO_38_n_CC	K34
GPIO_37_CC	K33
GPIO_37_n_CC	K32
GPIO_36	L33
GPIO_36_n	M32
GPIO_35	P34
GPIO_35_n	N34
GPIO_34	P32
GPIO_34_n	N32
GPIO_33	T33
GPIO_33_n	R34

Таблица 3-15. Назначение контактов банка 13 Virtex-5 SX50T/SX95T

Сигнал GPIO	Назначение контакта FPGA
GPIO_32	Y33
GPIO_32_n	AA33
GPIO_31	AA34
GPIO_31_n	Y34
GPIO_30	Y32
GPIO_30_n	W32
GPIO_29	AC34
GPIO_29_n	AD34
GPIO_28	AC32
GPIO_28_n	AB32
GPIO_27	AC33
GPIO_27_n	AB33
GPIO_26_CC	AF33
GPIO_26_n_CC	AE33
GPIO_25_CC	AF34
GPIO_25_n_CC	AE34
GPIO_24_CC	AH34
GPIO_24_n_CC	AJ34
GPIO_23_CC	AD32
GPIO_23_n_CC	AE32
GPIO_22	AK34
GPIO_22_n	AK33
GPIO_21	AG32
GPIO_21_n	AH32
GPIO_20	AJ32
GPIO_20_n	AK32
GPIO_19	AL34
GPIO_19_n	AL33
GPIO_18	AM33
GPIO_18_n	AM32
GPIO_17	AN34
GPIO_17_n	AN33
GPIO_16	AN32
GPIO_16_n	AP32

Таблица 3-16. Назначение контактов банка 15 Virtex-5 SX50T/SX95T

Сигнал GPIO	Назначение контакта FPGA
GPIO_65	H29
GPIO_65_n	J29
GPIO_64	F31
GPIO_64_n	E31
GPIO_63	L29
GPIO_63_n	K29
GPIO_62	H30
GPIO_62_n	G31
GPIO_61	J30
GPIO_61_n	J31
GPIO_60	L30
GPIO_60_n	M30
GPIO_59_CC	N29
GPIO_59_n_CC	P29
GPIO_58_CC	K31
GPIO_58_n_CC	L31
GPIO_57_CC	P31
GPIO_57_n_CC	P30
GPIO_56_CC	M31
GPIO_56_n_CC	N30
GPIO_55	T31
GPIO_55_n	R31
GPIO_54	U30
GPIO_54_n	T30
GPIO_53	T28
GPIO_53_n	T29
GPIO_52	U27
GPIO_52_n	U28
GPIO_51	R26
GPIO_51_n	R27
GPIO_50	U26
GPIO_50_n	T26
GPIO_49	U25
GPIO_49_n	T25

Таблица 3-17. Назначение контактов банка 17 Virtex-5 SX50T/SX95T

Сигнал GPIO	Назначение контакта FPGA
GPIO_15	W24
GPIO_15_n	V24
GPIO_14	Y26
GPIO_14_n	W26
GPIO_13	V25
GPIO_13_n	W25
GPIO_12	Y27
GPIO_12_n	W27
GPIO_11	V30
GPIO_11_n	W30
GPIO_10	V28
GPIO_10_n	V27
GPIO_9	W31
GPIO_9_n	Y31
GPIO_8	W29
GPIO_8_n	V29
GPIO_7_CC	Y28
GPIO_7_n_CC	Y29
GPIO_6_CC	AB31
GPIO_6_n_CC	AA31
GPIO_5_CC	AB30
GPIO_5_n_CC	AC30
GPIO_4_CC	AA29
GPIO_4_n_CC	AA30
GPIO_3	AD30
GPIO_3_n	AC29
GPIO_2	AE29
GPIO_2_n	AD29
GPIO_1	AJ31
GPIO_1_n	AK31
GPIO_0	AF29
GPIO_0_n	AF30

Протокол обмена данными с адаптером

Модули NI FlexRIO FPGA способны обмениваться данными со множеством различных адаптеров. Эти модули могут иметь различные требования к

напряжениям питания V_{ccoA}/V_{ccoB}, а также различные стандарты ввода-вывода GPIO и направления сигналов. Устройства NI FlexRIO позволяют также изменять индивидуальные свойства ввода-вывода в каждом новом адаптере. Поэтому NI рекомендует включать в каждый разрабатываемый адаптер EEPROM для идентификации и защиты.

Идентификационная память EEPROM, подключенная к выделенным контактам и имеющая определенный адрес I^2C, позволяет драйверу NI FlexRIO определить вставленный адаптер. Включение EEPROM в ваш проект позволяет улучшить электрическую защиту адаптера и модуля NI FlexRIO FPGA. В частности, применение EEPROM для идентификации предотвращает использование несовместимых настроек адаптера, например, неверные шины питания и дублирование управления контактами цифрового интерфейса. Обратитесь к разделу *EEPROM* для получения дополнительной информации о включении ID EEPROM в ваш адаптер.

Хотя горячая замена при правильном использовании устройств NI FlexRIO не поддерживается, пользователь может случайно вставить или извлечь включенный адаптер. В этих случаях устройство NI FlexRIO использует процессы идентификации, включения и удаления этого модуля, чтобы предотвратить попадание неверных напряжений или двойное управление сигналами.

Протокол установки адаптера

На рисунке 3-1 изображен процесс, реализуемый системой NI FlexRIO, когда в модуль NI FlexRIO FPGA устанавливается новый адаптер.

Примечание: приведенные ниже действия выполняются также при загрузке устройством NI FlexRIO нового битового массива LabVIEW FPGA или при выполнении команды Reset.

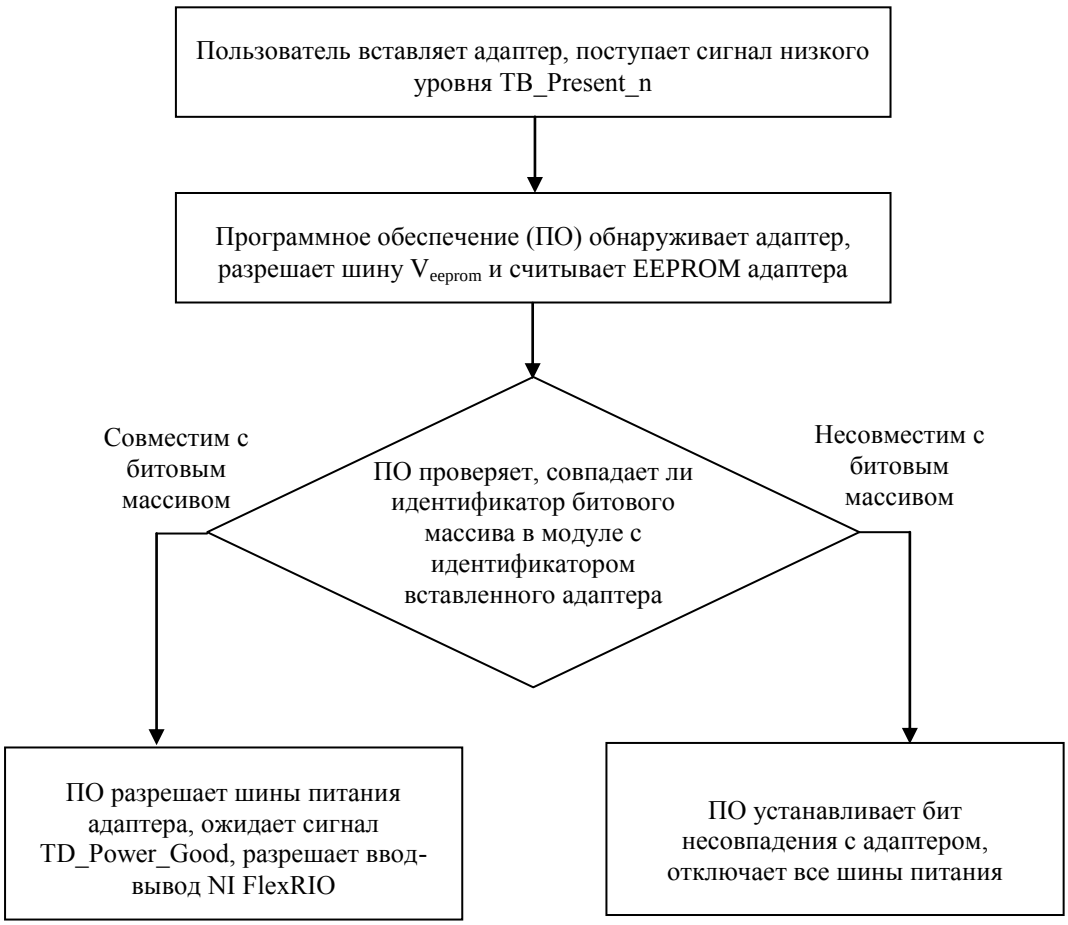


Рисунок 3-1. Протокол установки адаптера

Примечание: Шаги по вводу в режим адаптера выполняются при конфигурировании устройства. Для получения дополнительной информации обратитесь к главе 9, *Конфигурирование адаптера для использования с LabVIEW FPGA.*

Примечание: В диалоговом окне IO Module Properties Status в LabVIEW можно проверить правильность подключения адаптера, а также совпадает ли тип адаптера с ожидаемым типом. Для этого в окне проекта LabVIEW (**Project Explorer)** щелкните правой кнопкой мыши по элементу **IO Module** в разделе FPGA Target и выберите **Properties** для отображения диалогового окна **IO Module Properties.** Выберите категорию **Status** для просмотра диалога **Status** адаптера.

Протокол извлечения адаптера

Для правильного извлечения адаптера из модуля NI FlexRIO FPGA вы должны отключить адаптер от пользовательского интерфейса LabVIEW FPGA. Для отключения адаптера из LabVIEW выполните следующие действия:

1. В окне проекта LabVIEW (**Project Explorer)** щелкните правой кнопкой мыши по элементу **IO Module** в разделе FPGA Target и выберите **Properties** для отображения диалогового окна **IO Module Properties**.
2. Щелкните по категории **Status** для просмотра диалога **Status** адаптера
3. Снимите флажок **Enable IO Module Power**. При этом программное обеспечение переводит линии ввода-вывода NI FlexRIO в третье состояние и отключает все шины питания адаптера.
4. Щелкните по кнопке **OK**.

Драйвер NI FlexRIO позволяет управлять включением и отключением адаптеров, а также доступом к EEPROM, используя интерфейс LabVIEW. Обратитесь к главе 9, *Конфигурирование адаптера для использования с LabVIEW FPGA*, для получения информации о программировании EEPROM вашего адаптера.

EEPROM

NI настоятельно рекомендует включать EEPROM в разрабатываемый адаптер для целей идентификации. Это помогает обеспечить лучшую электрическую защиту, как адаптера, так и модуля NI FlexRIO FPGA. Это помогает также улучшить программное конфигурирование средствами LabVIEW FPGA.

Идентификационная EEPROM адаптера, включенная в вашу разработку, должна быть поддерживать стандарт I^2C и иметь емкость 2 кБит (256 x 8). Эти компоненты выпускаются многими производителями электроники и часто идентифицируются как 24C02. Обычно производители пользуются префиксом для идентификации своей версии, например, обозначение EEPROM компании ST Microelectronics - M24C02.

На рисунке 3-2 приведена схема подключения NI FlexRIO EEPROM. Эта схема показывает подключения к EEPROM (U_1) и два дополнительных подключения, требуемых для правильного конфигурирования адаптера. Для монтажа EEPROM требуются развязывающий конденсатор (C_1) на шине от V_{eeprom}, подтягивающий к V_{eeprom} резистор (R_1) на шине адреса A_1, и резистор подтягивающий к низкому уровню (R_2) на линии WP line. C_1 - керамический конденсатор емкостью 0.1 мкФ и номинальным напряжением 10 В или выше. Для лучшей производительности используйте конденсатор с диэлектриком X7R. Используйте резисторы любого типа сопротивлением 4.7 кОм, номинальным напряжением, по крайней мере, 25 В и 10% допуском или лучше. Другие детали относительно этого интерфейса можно найти в справочной информации на EEPROM. Для получения дополнительной информации об использовании и программировании EEPROM обратитесь к главе 9, *Конфигурирование адаптера для использования с LabVIEW FPGA.*

Примечание: Адрес I^2C для EEPROM равен 0xA4 для операций записи и 0xA5 для операций чтения. Используйте следующие битовые поля для правильной адресации I^2C:

1	0	1	0	0	1	0	R/¬W
Идентификатор типа EEPROM				Разрешение чипа			Операция (1=R -чтение, 0=W – запись)
				A2	A1	A0	

Рекомендации по применению EEPROM

Используйте последовательную шину I^2C EEPROM компании ST Microelectronics (номер партии M24C02-WMN) или ее эквивалент для адаптера NI FlexRIO. Обратитесь на сайт `www.st.com` за справочной и дополнительной информацией.

Схема подключения EEPROM

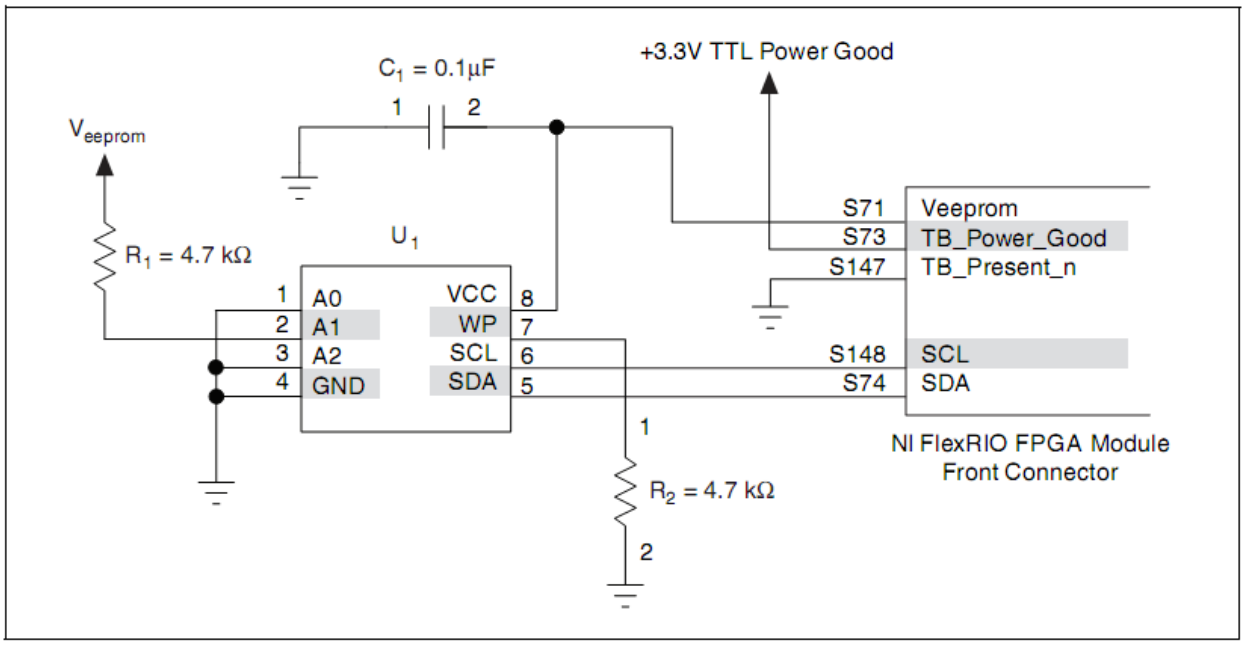


Рисунок 3-2. Подключение EEPROM

4. О разработке электрической схемы

В этом разделе рассматриваются вопросы разработки электрической схемы адаптера и некоторая дополнительная информация.

Последовательность включения питания при работе с внешним оборудованием

Если ваше устройство NI FlexRIO подключается к внешнему оборудованию, вы должны реализовать последовательность включения питания системы. Всегда, когда вставляется новый адаптер, или когда в целевое устройство LabVIEW FPGA загружается новый двоичный массив (bitstream), а также при выполнении команды Reset, питание адаптера выключается до тех пор, пока FPGA не подтвердит совместимость устройства. Для получения дополнительной информации обратитесь к разделу *Протокол установки адаптера* главы 3, *Интерфейс и протокол адаптера*.

Если внешняя схема формирует сигналы для устройства NI FlexRIO и питание адаптера не включено, лучше всего эту схему отключить. Статус питания адаптера доступен через интерфейс LabVIEW из драйвера NI FlexRIO, и его можно контролировать в LabVIEW FPGA VI и хост-VI.

Ввод-вывод FPGA и защита

При подключении адаптера к модулю NI FlexRIO FPGA необходимо соблюдать осторожность. Обратитесь к документации Xilinx, доступной по адресу www.xilinx.com, для получения информации о максимальных рабочих напряжениях линий ввода-вывода FPGA. Во избежание повреждений цепей адаптера, все выходы FPGA необходимо перевести в третье состояние до включения питания адаптера. Это обеспечивается сигналами CLIP – подключаемого блока адаптера. Дополнительная информация приведена в главе 10, *Создание подключаемого блока CLIP адаптера*. Обратитесь к приложению C, *Ссылки на документацию Xilinx,* для получения ссылок на соответствующую документацию Xilinx.

NI рекомендует *никогда* не подключать сигналы от переднего разъема модуля NI FlexRIO FPGA непосредственно к внешним цепям адаптера. При передаче сигналов от модуля NI FlexRIO FPGA на внешние цепи адаптера требуется использование определенных видов буферизации. Большинство компонентов буферизации – высокоскоростные и обеспечивают защиту как от электростатического разряда, так и от допустимых отклонений

напряжения. Онлайн-дистрибуторы электронных компонентов, например, Mouser Electronics (www.mouser.com), предлагают широкий выбор элементов буферизации для согласования с несимметричными и дифференциальными сигналами. Требования к буферизации не обязательно учитывать при использовании модуля NI FlexRIO FPGA в таких приложениях, как интерфейс с АЦП, поскольку такие цифровые сигналы напрямую недоступны.

Заземление

Конструкция адаптера NI FlexRIO может содержать несколько слоев заземления.

Интерфейс модуля NI FlexRIO FPGA предусматривает два подключения к земле:

- Цифровая земля NI FlexRIO – в разъеме на лицевой панели модуля NI FlexRIO FPGA несколько контактов подключены к слою заземления (GND),как показано на рисунке 8-4, *Назначение контактов ввода-вывода и их расположение на переднем разъеме модуля NI FlexRIO FPGA.* Все сигналы линий ввода-вывода общего назначения, цепи управления и питания NI FlexRIO подключены относительно этого слоя заземления. Для обеспечения надлежащего импеданса соединительных проводников все сигналы NI FlexRIO должны подключаться относительно этого слоя заземления адаптера.
- Земля шасси PXI/PXI Express – корпус адаптера NI FlexRIO должен соединяться с лицевой панелью модуля NI FlexRIO FPGA и, следовательно, с землей шасси PXI/PXIe через направляющие штифты и крепежные винты. Земля шасси доступна на печатной плате адаптера посредством четырех винтов крепления к корпусу. NI рекомендует проектировать адаптер так, чтобы обеспечивалось надежное соединение между любым экраном кабеля или разъема и землей шасси. Это соединение может быть выполнено на печатной плате адаптера и/или на его лицевой панели. Сплошное соединение с экраном особенно важно для адаптеров, которые должны пройти испытания на уровень электромагнитного излучения. Для получения дополнительной информации о заземлении адаптера, удовлетворяющего стандартам электромагнитной совместимости, обратитесь к разделу *Заземление* главы 4, *О разработке электрической схемы.*

Напряжения банка ввода-вывода FPGA

Ввод-вывод NI FlexRIO FPGA разделен на четыре банка ввода-вывода, и каждый банк питается от одной из двух шин питания V_{cco} — V_{ccoA} или V_{ccoB}. При определении того, как разделить ваш ввод-вывод между банками, вы должны учесть стандартные требования к напряжению V_{cco} и к вводу-вывода вашего приложения. Настройки V_{ccoA}/V_{ccoB} определяют, какие стандарты ввода-вывода доступны в банке ввода-вывода.

Например, если V_{ccoA} составляет 3.3 В, то линии GPIO в банках <0..1> могут быть сконфигурированы на использование стандартов LVTTL, LVCMOS33 или LVDCI33 I/O. Если V_{ccoB} составляет 2.5 В, то линии GPIO в банках <2..3> могут быть сконфигурированы на использование стандартов LVCMOS25, LVDCI25 или LVDS_25 I/O. В одном банке ввода-вывода можно выбирать разные стандарты ввода-вывода, при условии, что все эти стандарты совместимы с выбранным напряжением V_{ccoA}/V_{ccoB}.

Настройки напряжения V_{ccoA}/V_{ccoB} и стандарты ввода-вывода NI FlexRIO задаются в файле конфигурации адаптера (.tbc) при конфигурировании устройства. В таблице 9-3, *Стандарты Xilinx, поддерживаемые модулями NI FlexRIO*, приведен список наиболее распространенных стандартов ввода-вывода и требуемые для них напряжения V_{cco}. Для получения дополнительной информации о настройке стандартов ввода-вывода вашего устройства NI FlexRIO обратитесь к главе 9, *Конфигурирование адаптера для использования с LabVIEW FPGA* За спецификациями стандартов ввода-вывода обратитесь к документации Xilinx, доступной по адресу www.xilinx.com. Обратитесь к приложению C, *Ссылки на документацию Xilinx*, для получения списка документов Xilinx, применимых в приложениях NI FlexRIO.

Помехи синхронного переключения выходов

Когда одновременно изменяется состояние несколько выходных драйверов FPGA, изменяющийся ток порождает помехи в цепях питания. Эти помехи могут вызвать нежелательное поведение выходных драйверов, входных приемников или внутренней логики, и такие помехи называют помехами синхронного переключения выходов (simultaneous-switching output noise, SSO). Опубликованные ограничения SSO определяют количество и тип выходных драйверов ввода-вывода, которые могут одновременно изменять состояние, не вызывая сильных помех SSO.

Разработчики адаптеров NI FlexRIO должны учитывать ограничения на SSO при использовании большого числа выходных линий GPIO. NI рекомендует разделять выходы между всеми четырьмя банками GPIO для уменьшения количества синхронно переключаемых выходов в каждом банке FPGA. Модули NI FlexRIO FPGA удовлетворяют номинальным требованиям к печатным платам, опубликованным в документации Xilinx по ограничениям на SSO. Для оценки влияния помех SSO на ваше приложение Xilinx предоставляет калькулятор SSO (*Virtex-5 FPGA SSO Calculator*), содержащий все данные о пределах SSO для всех стандартов ввода-вывода. Обратитесь к документации Xilinx по адресу www.xilinx.com для получения дополнительной информации о помехах SSO и доступа к калькулятору SSO Virtex-5 FPGA. Обратитесь к приложению C, *Ссылки на документацию Xilinx*, для получения ссылок на соответствующую документацию Xilinx.

Тактовые импульсы и временные параметры

В разъеме на лицевой панели модуля NI FlexRIO FPGA есть два входа глобальных тактовых импульсов FPGA , а также 16 пар линий ввода-вывода

с поддержкой тактирования. Эти входы идеальны для обеспечения внешней синхронизации с NI FlexRIO FPGA и часто используются для синхронных интерфейсов.

Для любого синхронного интерфейса NI FlexRIO FPGA важно рассмотреть требования к временным параметрам. Синхронизация ввода-вывода осуществляется при помощи подключаемых блоков CLIP VHDL и файла пользовательских ограничений (User Constraint File, UCF) Xilinx. Эти два элемента составляют интерфейс CLIP.

Используя файл UCF и блоки CLIP адаптера, пользователи могут предоставлять компилятору Xilinx необходимые ограничения по периоду и сдвигу фаз или требования по времени установки/удержания сигналов. Пользователи могут также добавлять в свой л-блок цифровые блоки управления синхронизацией (digital clock manager, DCM) или блоки фазовой автоподстройки частоты (phase-locked loop, PLL) для сдвига фаз или умножения частот. Например, адаптер может содержать АЦП, который передает в FPGA 16-разрядные отсчеты вместе с синхроимпульсами. Спецификации АЦП определяют временные соотношения между данными и синхроимпульсами. В этом случае CLIP UCF должен содержать ограничения для периода внешних синхроимпульсов, а также ограничения по сдвигу поступающих данных относительно внешних синхроимпульсов.

Для получения информации о добавлении временных ограничений в ваш блок CLIP обратитесь к разделу *ExampleIOModuleCLIP.ucf* главы 10, *Создание подключаемого блока CLIP для адаптера.* Для получения дополнительной информации о временных ограничениях, ограничениях входной частоты тактового генератора FPGA и подробностях о DCM/PLL, обратитесь к документации Xilinx, доступной по адресу www.xilinx.com. Обратитесь к приложению C, *Ссылки на документацию Xilinx*, для получения списка документов Xilinx, относящихся к приложениям NI FlexRIO.

Сигналы ввода-вывода с поддержкой синхронизации

NI рекомендует, по возможности, использовать два входа глобальных синхроимпульсов FPGA, поскольку эти импульсы имеют наименьшие ограничения. Если все же для вашего приложения требуются дополнительные синхронизирующие сигналы, в каждом банке ввода-вывода FPGA NI FlexRIO есть также восемь несимметричных (настраиваемых, как 4 дифференциальные пары) сигналов с поддержкой синхронизации (clock-capable, _CC). Как и сигналы GPIO, они могут быть как входными, так и выходными. Эти сигналы также могут быть использованы для передачи синхроимпульсов в FPGA. Сигналы с поддержкой синхронизации имеют доступ к локальным ресурсам синхронизации в FPGA и могут быть полезны для высокоскростных синхронных интерфейсов, в которых линии ввода-вывода относятся к одной области синхронизации. Обратитесь к документации Xilinx, доступной по адресу www.xilinx.com, для получения дополнительной информации о сигналах с поддержкой синхронизации и локальной синхронизации. Обратитесь к приложению C, *Ссылки на*

документацию Xilinx, для получения списка документов Xilinx, относящихся к приложениям NI FlexRIO.

IoModSyncClk (только для модуля NI PXIe-796xR)

Модуль NI FlexRIO PXI Express FPGA обеспечивает сигнал IoModSyncClk

для синхронизации с адаптерами. IoModSyncClk - это низкоуровневый положительный тактирующий сигнал в уровнях эмиттерно-связанной логики (LVPECL), который может быть сформирован из импульсов PXI_Clk10 или DStarA, как показано на рисунке 4-1.

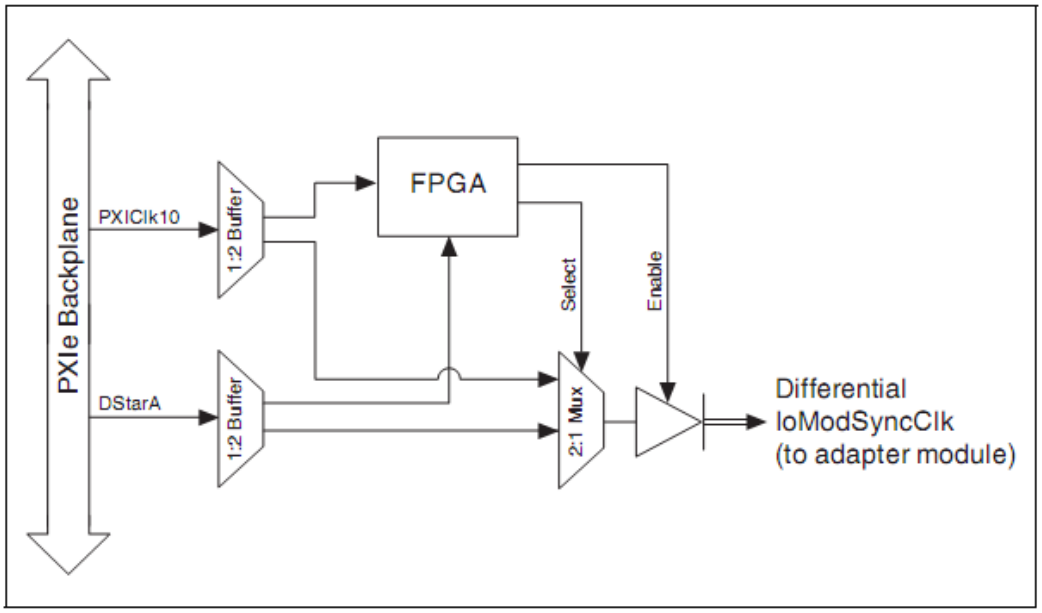


Рисунок 4-1. Блок-схема формирования IoModSyncClk Source

PXIe Backplane – объединительная панель PXIe, 1:2 Buffer –буфер 1:2, 2:1 Mux - 2:1 мультиплексор, Select – выбор, Enable – разрешение, Differential IoModSyncClk (to adapter module) – дифференциальный сигнал IoModSyncClk (к адаптеру)

Для получения дополнительной информации о сигнале IoModSyncClk и его использовании при разработке адаптера обратитесь к разделу *Параметры IoModSyncClk .tbc* главы 9, *Конфигурирование адаптера для использования с LabVIEW FPGA*. Обратитесь к теме *NI FlexRIO FPGA Module Base Clock Properties* в разделе *NI FlexRIO Reference and Procedures* справки *LabVIEW Help* для получения дополнительной информации о ресурсах синхронизации.

Оконечная нагрузка

Если в адаптере используется сигнал IoModSyncClk, обе линии должны быть согласованы нагрузкой в 50 Ом на 1.3 В (или эквивалентной схемой с

источником напряжения), как можно ближе к приемнику. На рисунке 4-2 показана рекомендуемая оконечная схема для сигнала IoModSyncClk.

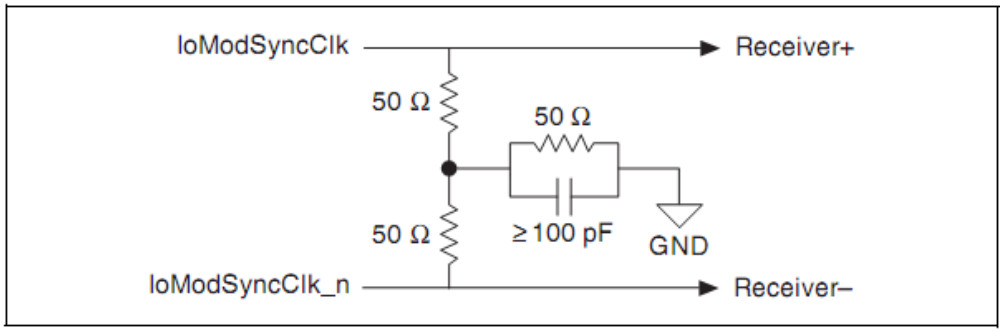


Рисунок 4-2. Оконечная нагрузка для IoModSyncClk

Оконечная нагрузка и импеданс линий GPIO

Все трассы GPIO от NI FlexRIO FPGA до разъема на лицевой панели соединяются с сопротивлением 100 Ом (в дифференциальном режиме) или 50 Ом (в несимметричном режиме). Как описано в предыдущем разделе, ввод-вывод FPGA может быть настроен на использование технологии Xilinx цифрового управления импедансом (DCI), чтобы обеспечить равенство импедансов выходного драйвера и импеданса трассы. Для лучшей производительности NI рекомендует проектировать трассы печатной платы, так, чтобы импеданс адаптера совпадал с импедансами выходных драйверов.

Например, если ваш адаптер использует несимметричные выходные линии GPIO для связи со входами интегральных схем, лучше всего развести эти сигналы как несимметричные трассы с сопротивлением 50 Ом. Если ваш адаптер передает сигнал LVDS в NI FlexRIO FPGA, лучше линии развести для дифференциального сигнала с сопротивлением 100 Ом. Для LVDS-входов FPGA, при помощи файла CLIP UCF можно включить оконечную нагрузку в 100 Ом параллельно приемным цепям. Для получения дополнительной информации обратитесь к разделу *ExampleIOModuleCLIP.ucf* главы 10, *Создание подключаемого блокаCLIP для адаптера.*.

Минимизация перекрестных помех

Все сигналы GPIO NI FlexRIO подключаются так, чтобы максимизировать гибкость, это обеспечивается использованием линий GPIO как 132 несимметричных линии или 66 дифференциальных. Это означает, что линии GPIOx и GPIOx_n являются дифференциальными и могут вызывать перекрестные помехи при использовании для независимых несимметричных сигналов.

Для обеспечения максимальной производительности в приложениях с несимметричными сигналами NI рекомендует использовать только одну линию дифференциальной пары, а вторую линию пары подключать к земле.

Используйте этот метод только для приложений с наивысшей производительностью, поскольку это уменьшит количество доступных линий GPIO.

Совместное использование шины I^2C

В разъеме на лицевой панели модуля NI FlexRIO FPGA есть выделенная шина I^2C, 3.3В для ID EEPROM. Эта шина питается от шины питания V_{eeprom} и доступна через драйвер NI FlexRIO и подключаемого блока CLIP адаптера. Пользователи могут подключить к этой шине другие устройства I^2C - это разрешено, пока адрес на шине I^2C уникален.

Примечание: Протокол включения модуля NI FlexRIO FPGA использует шину I^2C таким образом, что это может затронуть ваше приложение. В частности, во время идентификации адаптера питание подается только на шину V_{eeprom}, что означает отсутствие напряжения на всех пользовательских цепях. Однако интерфейсные сигналы шины I^2C (SCL и SDA) будут переключаться. Пока питание не подано на устройство I^2C, оно может ослаблять интерфейсные сигналы шины. Обратитесь к справочной информации на ваше устройство I^2C чтобы определить, необходимы ли дополнительные схемы, чтобы гарантировать правильность идентификации адаптера при использовании шины I^2C несколькими устройствами.

Выбор компонентов схемы

NI рекомендует при разработке схемы интерфейса между адаптером и модулем NI FlexRIO FPGA при любой возможности выбирать компоненты на 2.5 В. По мере уменьшения топологических размеров в технологии изготовления FPGA уменьшаются и уровни сигналов поддерживаемых интерфейсов. Использование компонентов на 2.5 В удостоверяет, что существующий проект модуля сопряжения останется совместимым с будущими семействами FPGA.

Неиспользуемые контакты - рекомендации

В таблице 4-1 приведены рекомендации NI касательно неназначенных/неиспользуемых контактов модуля NI FlexRIO FPGA

Таблица 4-1. Рекомендации касательно неназначенных контактов

Контакт	Рекомендации
GPIO	Оставьте неподключенным или подключите к земле через резистор сопротивлением 1 кОм или больше для минимизации перекрестных помех при несимметричной схеме подключения
G_{Clk} Inputs	Оставить неподключенным
V_{ccoA}/V_{ccoB}	Зашунтируйте конденсатором емкостью 1 мкФ
+12V, +3.3V	Зашунтируйте конденсатором емкостью 1 мкФ
oModSyncClk	Если в адаптере не используется IoModSyncClk, оставьте линии неподключенными и ненагруженными.

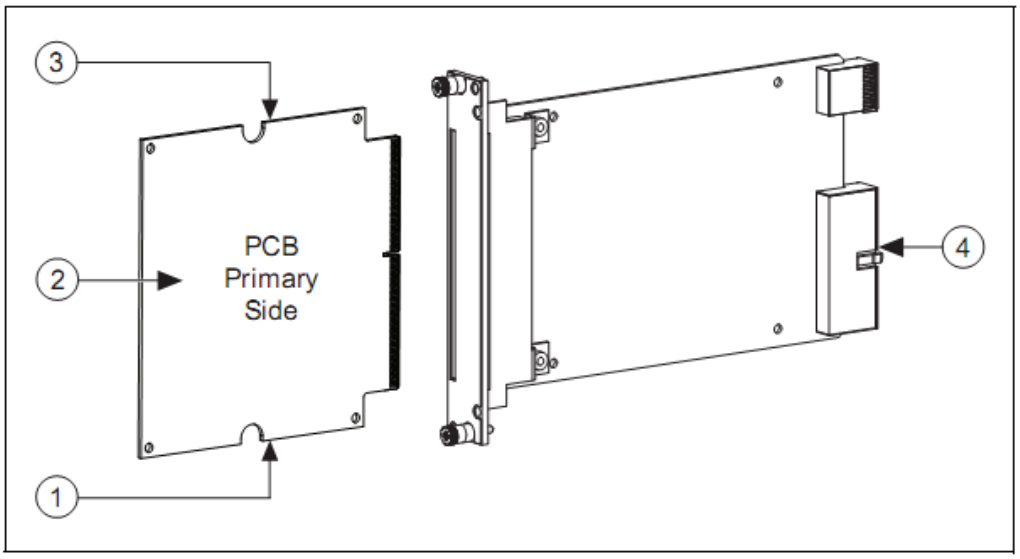
5

5. Разработка печатной платы

В этой главе предоставлена информация о механических и физических характеристиках проектируемой печатной платы. Эта информация включает размеры и форму платы, размещение свободных зон, ограничения по высоте и сведения о краевом соединителе печатной платы.

Ориентация печатной платы

На рисунке 5-1 показана ориентация печатной платы адаптера относительно печатной платы модуля NI FlexRIO FPGA



1	Bottom Adapter Module Edge	3	Top Adapter Module Edge
2	Example Adapter Module	4	NI FlexRIO FPGA Module

Рисунок 5-1. Лицевая панель устройства NI FlexRIO FPGA в сборе и примерный вид адаптера

1 – нижний край адаптера, 2 – пример адаптера, 3 – верхний край адаптера, 4 – модуль NI FlexRIO FPGA, PCB Primary Side – лицевая сторона печатной платы.

Концепции проектирования печатной платы

При создании адаптера вам потребуются средства компьютерного изготовления чертежей (CAD) для проектирования печатной платы. Разработка печатной платы начинается с разработки схемы всех электрических соединений между компонентами и разъемами. Затем по

этой схеме для выполняется разводка, чтобы с помощью медных проводников печатной платы физически соединить электрические компоненты.

В средствах схемотехнического проектирования используются символы (условные обозначения) для представления каждого компонента. Можно создавать пользовательские символы для облегчения создания схемы и упрощения подключения к другим схемным символам. Методы создания этих пользовательских символов различаются в зависимости от используемых средств проектирования. Пользовательские обозначения и символы полезны в ряде случаев, однако NI рекомендует использовать имена и номера контактов, используемые в настоящем документе, чтобы обеспечить совместимость с документацией и облегчить связь с National Instruments, если вам потребуется техническая поддержка. При создании пользовательского символа для краевого соединителя печатной платы, обратитесь к приложению A, *Рекомендуемое распределение сигналов*, за графическими представлениями некоторых предлагаемых символов, относящихся к сигналам адаптера.

Для правильной разработки печатной платы средства проектирования требуют разных набор исходных данных. Механические параметры, например, контур платы, расположение отверстий и компонентов, толщина платы должны быть описаны точно, чтобы гарантировать успешное изготовление платы. Помогает разрабатывать печатные платы адаптеров набор разработчика адаптеров NI FlexRIO, который поставляется с компакт-диском, содержащим файлы типа Standard for the Exchange of Product model data (STEP), Initial Graphics Exchange Specification (IGES), Pro/ENGINEER, AutoCAD® DXF и PDF в которых содержатся точные размеры, используемые при проектировании печатных плат.

Примечание: NI настоятельно рекомендует использовать файлы электронного проектирования печатных плат. Размеры на чертежах в этом руководстве предоставлены для справки. NI не рекомендует использовать справочные чертежи из руководства как основной источник информации при проектировании печатных плат.

В таблице 5-1 приведены проектные файлы и содержащиеся в них элементы.

Таблица 5-1. Проектные файлы пользовательского адаптера NI FlexRIO

Имя файла*	Описание
assembly.xxx	Корпус адаптера в сборе с печатной платой
bottom-housing.xxx	Нижняя половина корпуса
gold-fingers.xxx	Формы и контуры позолоченных ламельных контактов
panel-front-dim.xxx	Размеры лицевой панели
panel-front-outline.xxx	Форма и контуры лицевой панели
pcb-dim.xxx	Чертеж печатной платы с размерами
pcb-dim_1.dxf	Страница 1 чертежа с размерами печатной платы в формате .dxf
pcb-dim_2.dxf	Страница 2 чертежа с размерами печатной платы в формате .dxf
pcb-outline.xxx	Контуры и форма печатной платы
top-housing.xxx	Верхняя половина корпуса
* .xxx означает тип файла. Доступные типы: .dxf, .igs, .stp, .pdf и файлы Pro/ENGINEER, prt.x и .asm.	

Проектные файлы инсталлируются в следующие папки

- Windows XP/2000:
  C:\Documents and Settings\All Users\Shared Documents\National Instruments\FlexRIO\Module Development Kit\Design Files
- Windows 7/Vista:
  C:\Users\Public\Documents\National Instruments\FlexRIO\Module Development Kit\Design Files

Адаптер NI FlexRIO предоставляет примерно 14 кв. дюймов (355.6 кв. мм.) полезной площади для схем на лицевой стороне печатной платы. Чтобы предотвратить повреждения компонентов и механическую нестыковку с корпусом должны быть оставлено несколько свободных зон. Свободные зоны расположены по периметру печатной платы и вокруг каждого из четырех монтажных отверстий. Большая свободная зона находится также рядом с краевым разъемом, где стыкуются две половины корпуса. Обратитесь к рисункам 5-5 и 5-6 за информацией о точном местоположении и размерами свободных зон печатной платы.

Примечание: В электронных проектных файлах, предоставленных NI, обозначены все свободные зоны. NI настоятельно рекомендует использовать эти проектные файлы при разработке печатной платы.

Лицевая сторона печатной платы позволяет использовать компоненты высотой до 0.57 дм. (14.48 мм), при этом исключается электрический контакт компонентов с корпусом. На обратной стороне печатной платы также можно размещать компоненты, однако зазор между обратной стороной печатной платы и поверхностью корпуса составляет 0.04 дм. (1.01 мм). Небольшой уклон рядом с окном разъема ввода-вывода предоставляет область глубиной 0.58 дм.- (14.7 м), где зазор компонентов на обратной стороне печатной платы составляет 0.05 дм. (1.27 мм). Таким образом, во избежание механических проблем на обратную сторону печатной платы можно помещать только очень плоские компоненты, например, маленькие пассивные элементы.

Внимание! Конструкции адаптеров, в которых есть переходные отверстия или трассы в области краевого разъема печатной платы на обеих ее сторонах, могут контактировать с нижней частью окна краевого разъема печатной платы на корпусе адаптера. Чтобы предотвратить повреждение этих трасс, *обязательно* используйте изолирующий материал, поставляемый с вашим устройством, для защиты переходных отверстий и трасс от контакта с корпусом.

Толщина изготовленной печатной платы должна составлять 0.063 дм. (1.60 мм) ± 10%.

На рисунке 5-2 показаны рекомендуемые размеры зазоров компонентов.

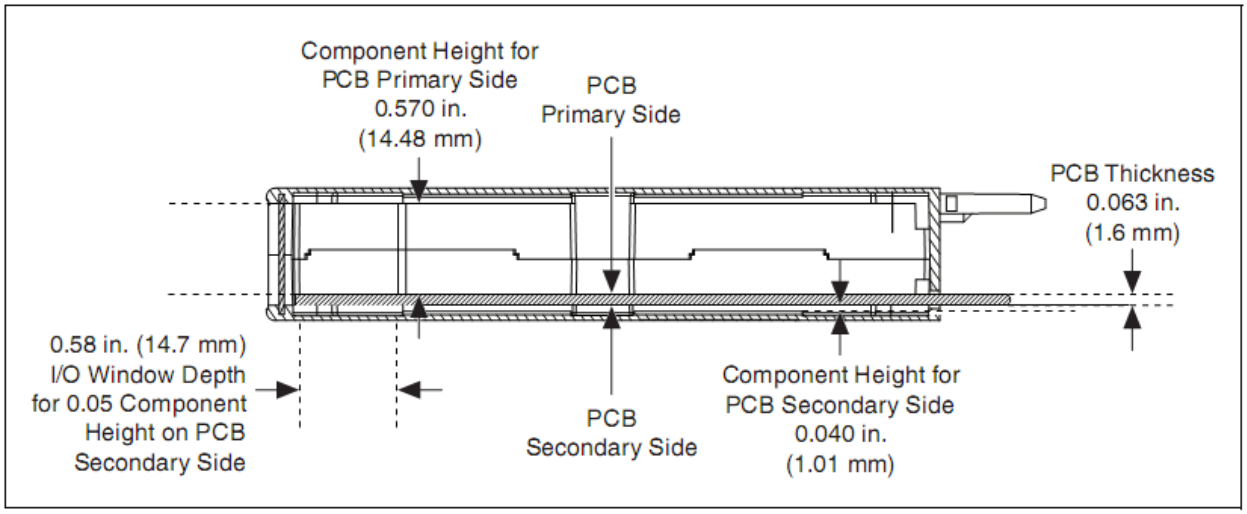


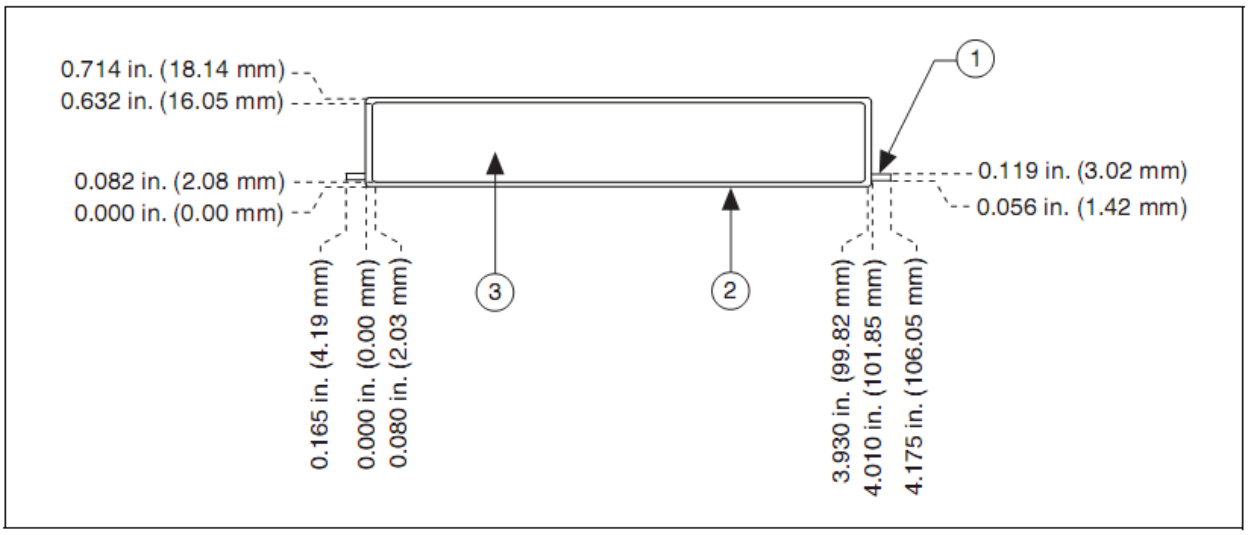
Рисунок 5-2. Размеры зазоров между компонентами

PCB Primary Side - лицевая сторона печатной платы, Component Height for PCB Primary Side – высота компонентов на лицевой стороне печатной платы, PCB Secondary Side - обратная сторона печатной платы, I/O Window Depth for 0.05 Component Height On PCB Secondary Side – глубина окна ввода-вывода для компонентов высотой 0.05 на обратной стороне печатной платы, Component Height for PCB Secondary Side - высота компонентов на обратной стороне печатной платы, PCB Thickness - толщина печатной платы

Окно ввода-вывода в передней части корпуса представляет собой отверстие размерами 3.85 дм. (97.79 мм) на 0.55 дм. (12.70 мм), куда пользователи могут подключать разъемы для сигналов, внешних по отношению к адаптеру. Это окно разъема ввода-вывода подходит для большинства сигнальных разъемов, например, D-SUB и BNC.

При разработке переходных отверстий необходимо помнить о зазоре между компонентами на оборотной стороне печатной платы. Многие разъемы, монтируемые обычно в отверстия, теперь предлагаются в корпусах для монтажа на поверхность. Чтобы ваш проект печатной платы удовлетворял требованиям к зазорам, NI рекомендует по возможности использовать поверхностный монтаж или ограничить размеры выступающих частей.

На рисунке 5-3 показано окно разъема ввода-вывода относительно лицевой панели корпуса и печатной платы. Для получения дополнительной информации о размерах лицевой панели корпуса модуля сопряжения обратитесь к главе 7, *Корпус модуля.*



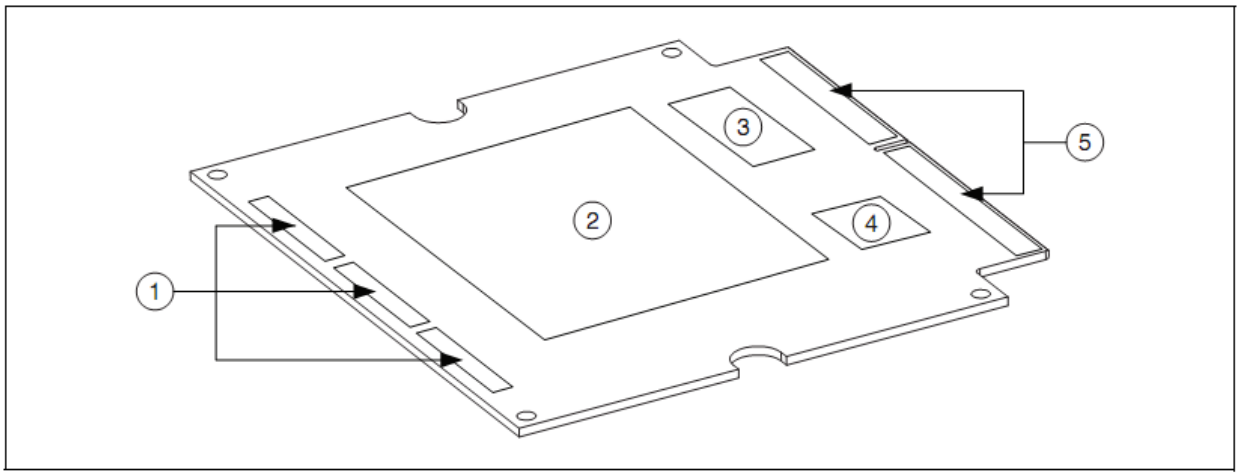
1	PCB	3	I/O Connector and Text Window
2	Front Panel		

Рисунок 5-3. Размеры зазоров окна разъема ввода-вывода

1 – печатная плата, 2 – лицевая панель, 3 – разъем ввода-вывода и окно для текста

Примечание. Задняя сторона корпуса изолирована для предотвращения короткого замыкания. Убедитесь, что в конструкции вашей печатной платы выводы компонентов для поверхностного монтажа на обратной стороне платы или вывода проходящие сквозь переходные отверстия, не контактируют с изолированной поверхностью.

На рисунке 5-4 показаны возможные местоположения элементов вашего адаптера на печатной плате.



1	User-Defined Connectors	4	EEPROM
2	Custom Measurement Circuitry	5	Electrical Interface to NI FlexRIO FPGA Module
3	Power Support Circuitry		

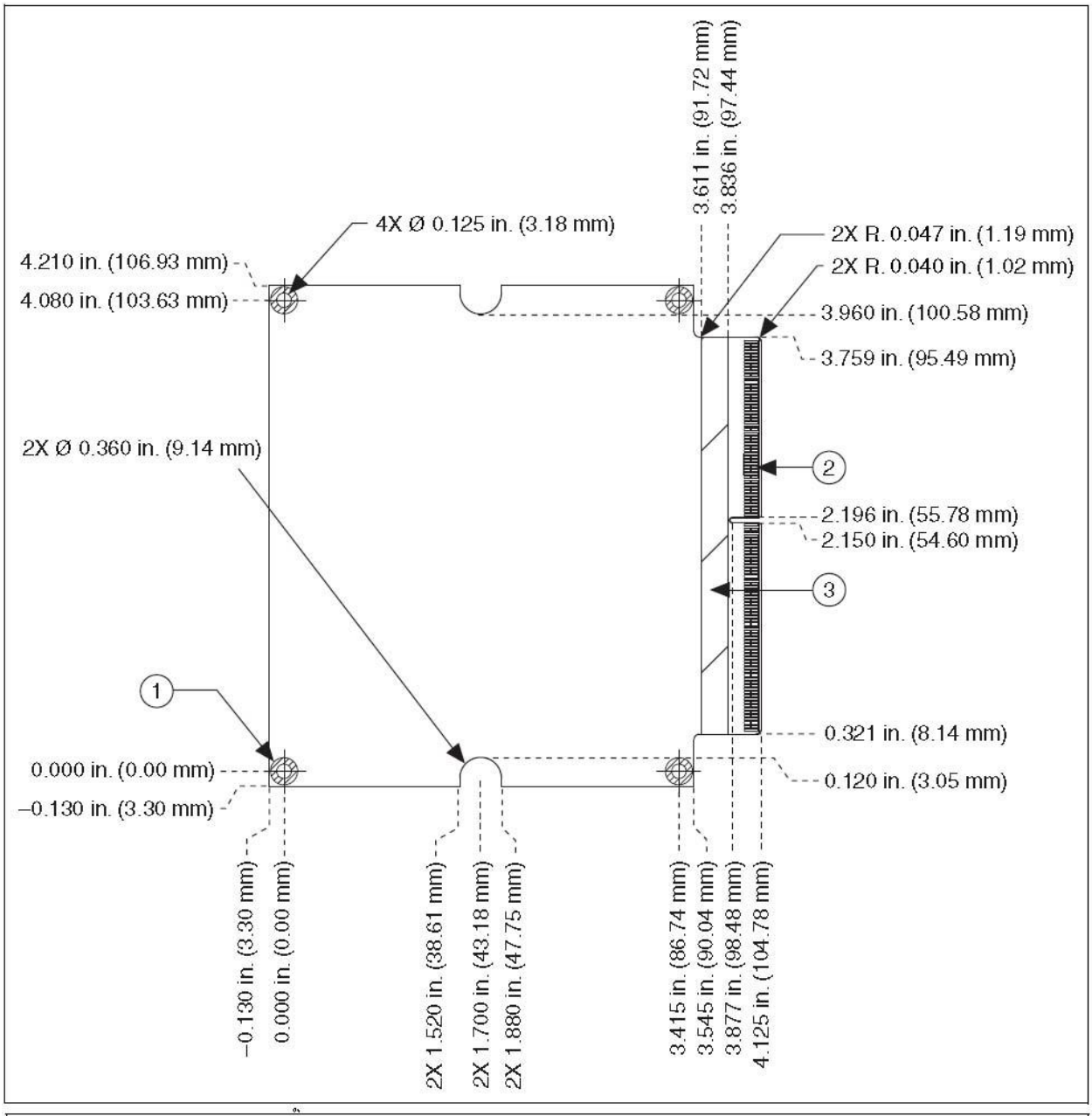
Рисунок 5-4. Примерное расположение элементов конструкции на печатной плате адаптера

1 – пользовательские разъемы, 2 – пользовательские схемы измерения, 3 – схема питания, 4 – EEPROM, 5 – электрический интерфейс с модулем NI FlexRIO FPGA

Размеры печатной платы

На последующих рисунках показаны требования к размерам печатной платы. При разработке чертежа печатной платы с помощью компьютерных средств, обязательно поместите реперную точку в нижнее левое монтажное отверстие. Это облегчает рекомендованное размещение компонентов, поскольку не требует пересчета координат.

Примечание. Рисунок 5-5 следует использовать только для оперативной справки. Для получения подробной информации о размерах печатной платы обратитесь к электронным проектным файлам, предоставленным NI.



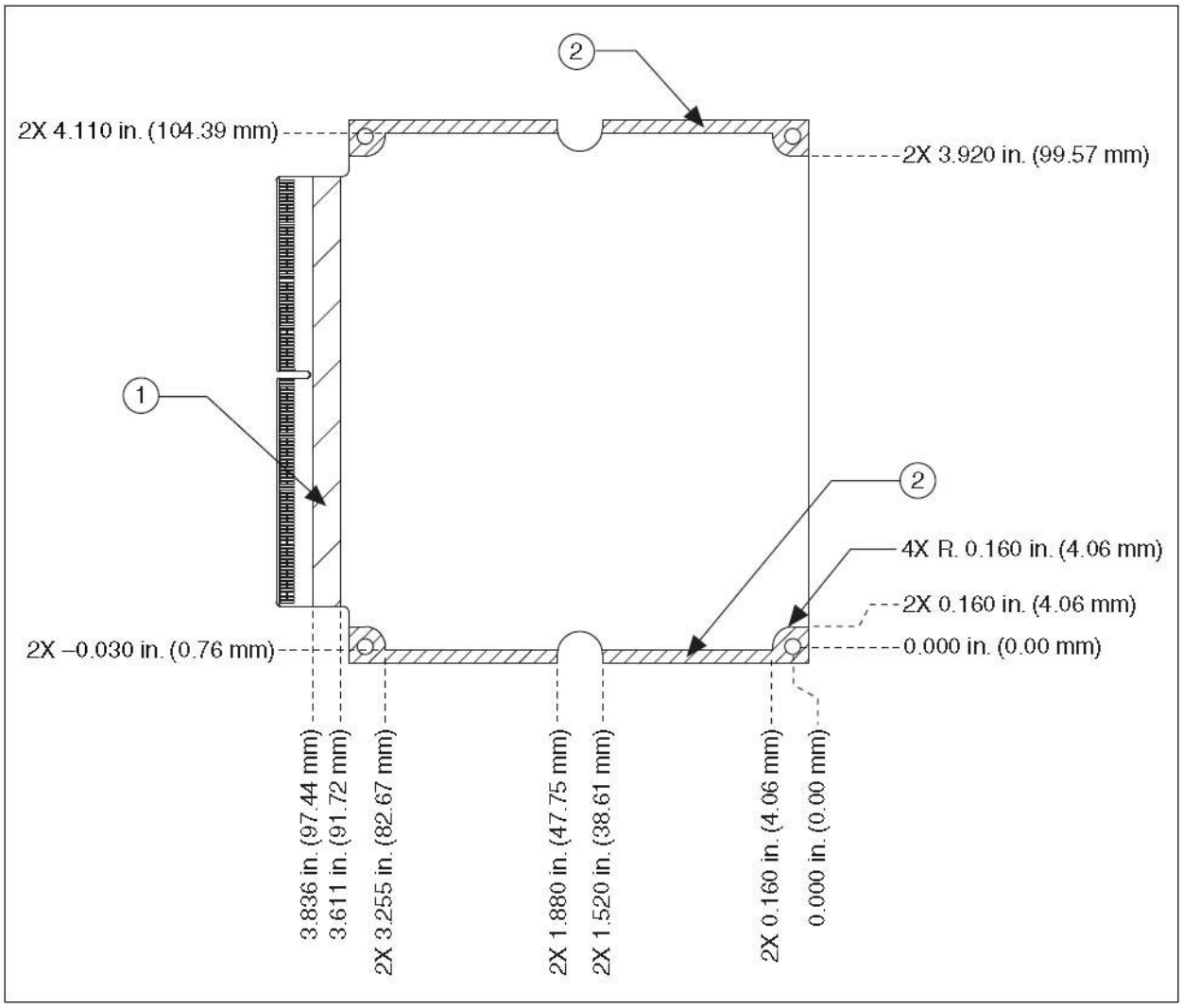
1	Component Keepout Area—4X ∅ 0.200 in. (5.08 mm)	3	Component Keepout Area
2	Card Edge Connector		

Рисунок 5-5. Размеры печатной платы адаптера на лицевой стороне

1, 3 – свободная зона; 2 – краевой разъем

Примечание. Рисунок 5-6 следует использовать только для быстрой справки. Для получения подробной информации о размерах печатной платы обратитесь к электронным проектным файлам, предоставленным NI.

Для получения подробной информации о размерах краевого соединителя печатной платы обратитесь к главе 6, *Краевой разъем печатной платы.*



1	Component/Via and Non-Ground Outer Route Keepout Area	2	Component Keepout Area

Рисунок 5-6. Размеры печатной платы адаптера на обратной стороне

1 – зона, свободная от компонентов/переходных отверстий и разводки незаземляющих проводников; 2 – свободная зона

Трассировка линий GPIO

Проводники GPIO между модулем NI FlexRIO FPGA и адаптером обладают контролируемыми электрическими свойствами. Все проводники подогнаны по длине с погрешностью 2.54 мм, а пары проводников - с погрешностью 0.25 мм. Кроме того наложение слоев и ширина проводников настроены так, что дифференциальный импеданс пары GPIO составляет 100 Ом, а несимметричный импеданс – 50 Ом.

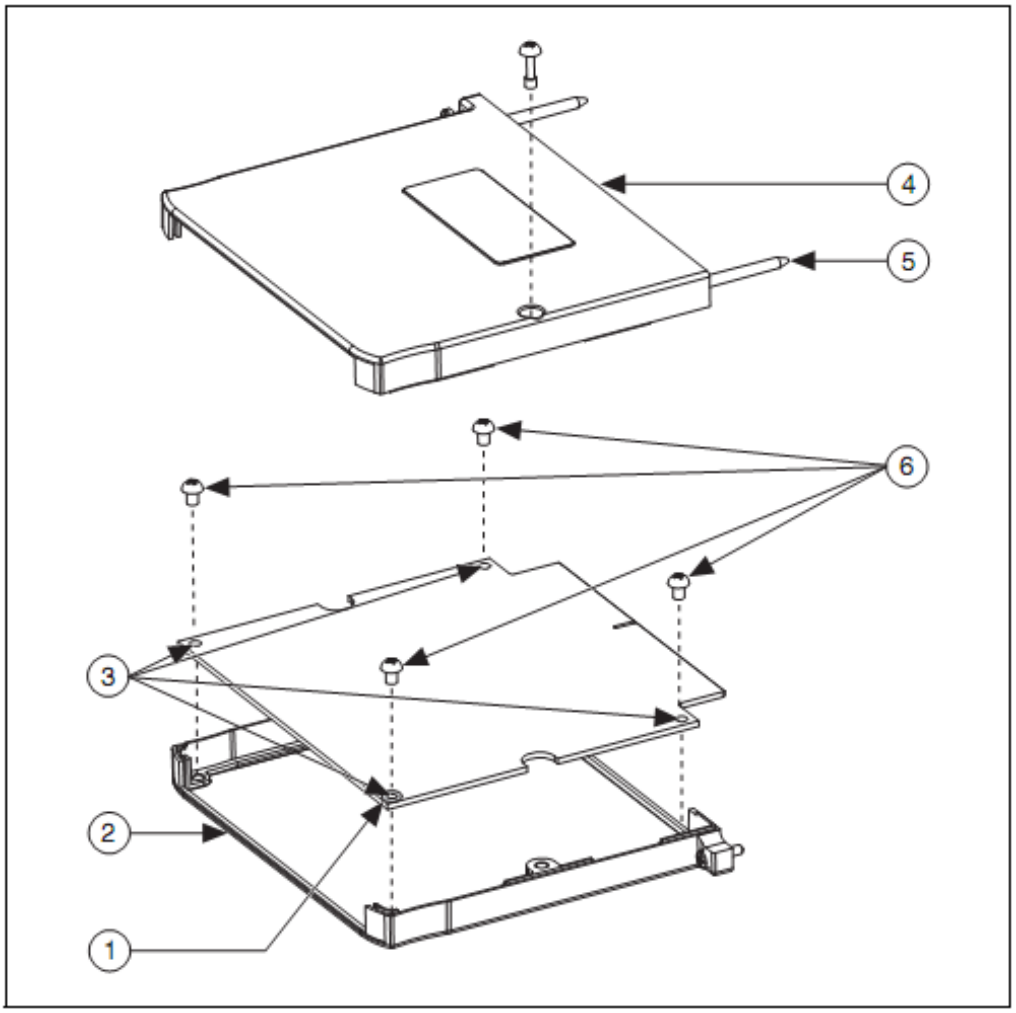
Следует также позаботиться о выполнении требований разводки высокочастотных цепей адаптера. Для этого настройте наложение слоев и ширину проводников на поддержку желаемого импеданса, а также выровняйте длины проводников для уменьшения расфазировки. Многие системы проектирования печатных плат имеют инструменты или утилиты, которые рекомендуют параметры наложения слоев и ширину проводников на основании обсчета слоев и ширины проводников, используемых в

конкретной печатной плате. Вы можете ослабить эти требования для медленно изменяющихся сигналов или статических управляющих линий.

О заземлении

При разработке адаптеров, удовлетворяющих стандартам EMC, NI рекомендует принимать во внимание следующие соображения.

Корпус модуля NI FlexRIO обязательно предоставляет доступ к земле шасси PXI/PXI Express посредством направляющих штифтов и крепежных винтов. Вы можете подключить схемы адаптера к земле шасси при помощи одного из четырех крепежных отверстий печатной платы адаптера, как показано на рисунке 5-7. Это подключение также может использоваться для соединения любого экрана разъема на лицевой панели с землей шасси/корпуса.



1	Copper Tracing around Mounting Hole	5	Grounding via PXI/PXI Express FPGA Module Mating Pins
2	Adapter Module Enclosure (Bottom)		
3	Mounting Holes	6	Mounting Screws
4	Adapter Module Enclosure (Top)		

Рисунок 5-7. Корпус адаптера с установленной печатной платой

1 – медная площадка вокруг монтажного отверстия, 2 – корпус адаптера (нижняя часть), 3 – крепежные отверстия, 4 - корпус модуля адаптера (верхняя часть), 5 – заземление через направляющие штифты модуля PXI/PXI Express FPGA, 6 – крепежные винты.

Примечание: Для уменьшения возможного излучения помех между землей шасси и цифровой землей, NI рекомендует предусматривать в вашей конструкции резервные конденсаторы, подключаемые между землей шасси и цифровой землей ваших схем.

Расположение контактов

На рисунке 5-8 показан краевой разъем печатной платы и назначения его контактов. Рисунок 5-8 следует использовать только для справки. Для получения подробной информации об этом разъеме и его проектировании, обратитесь к главе 6, *Краевой разъем печатной платы*.

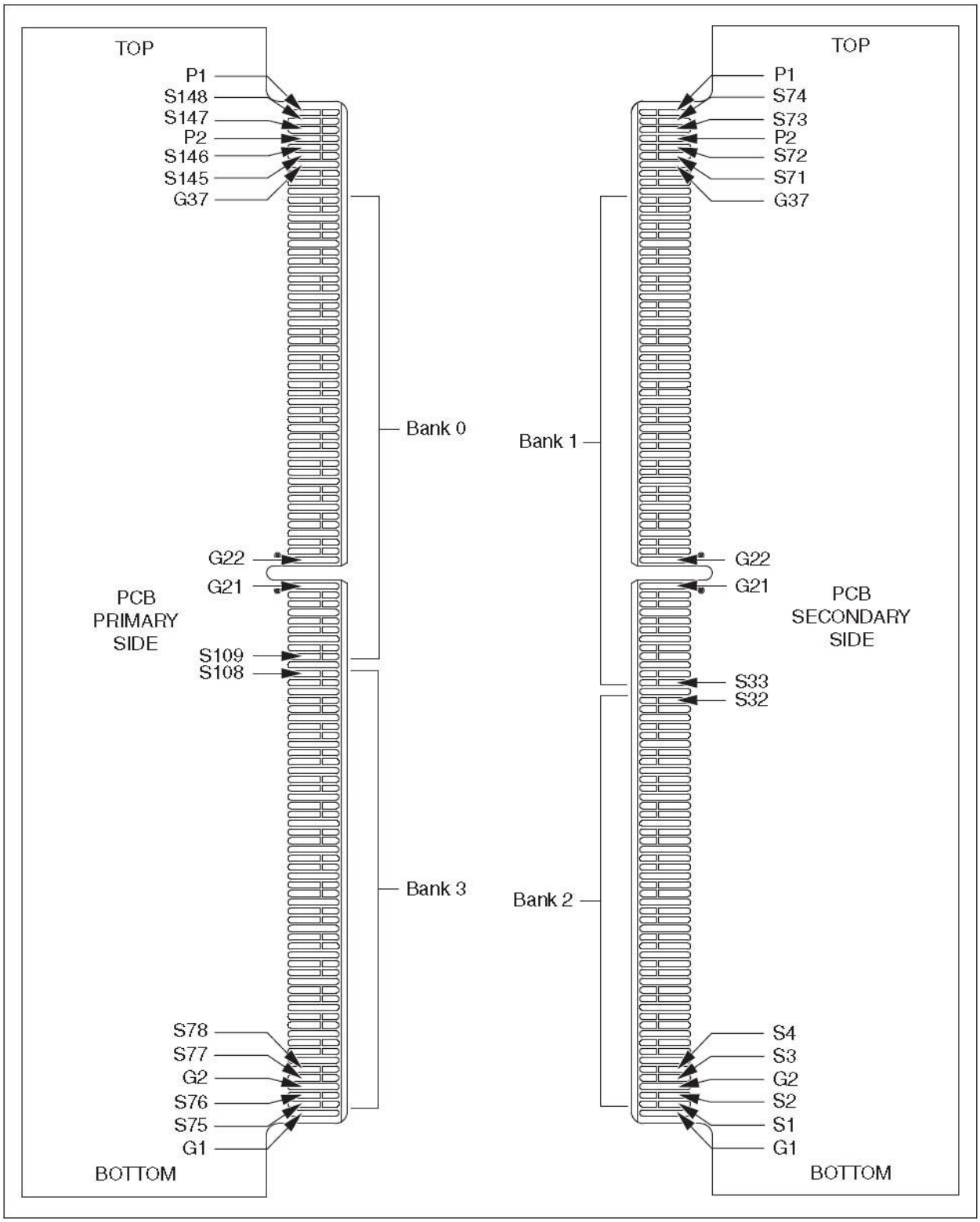


Рисунок 5-8. Расположение контактов

Финишная обработка печатной платы

Последним процессом при изготовлении печатной платы является финишная обработка поверхности. Финишная обработка поверхности необходима для подготовки поверхности к пайке компонентов, предотвращения окисления и выполнения необходимой механической

подготовки. Производство, которое вы выберете для изготовления вашей печатной платы, должно иметь несколько вариантов финишной обработки.

Варианты финишной обработки печатной платы склоняются к соблюдению правил ограничения содержания вредных веществ (RoHS). Это означает, что финишная обработка соответствует требованиям по уменьшению опасных материалов, обычно благодаря использованию золота и серебра как основных материалов. Нанесение серебра – наиболее распространенное покрытие печатной платы, которое обеспечивает хороший срок годности, низкий уровень окисления и хорошее смачивание для обрабатываемости и уменьшения количества дефектов.

Краевой соединитель печатной платы адаптера также имеет особые требования к финишной обработке поверхности. Для получения подробной информации об этих требованиях обратитесь к разделу *Финишная обработка поверхности краевого разъема печатной платы* главы 6, *Краевой разъем печатной платы.*

6

6. Краевой разъем печатной платы

В этой главе рассматриваются механические аспекты конструкции краевого разъема печатной платы и дается информация о размерах.

Описание разъема

В модуле NI FlexRIO FPGA используется высококачественный краевой разъем повышенной плотности. У разъема имеется ключ, немного смещенный относительно центра.

Подробный вид смонтированной лицевой панели модуля NI FlexRIO FPGA приведен на рисунке 5-1, *Лицевая панель собранного устройства NI FlexRIO FPGA и примерный внешний вид адаптера*. Конструкция печатной платы адаптера должна соответствовать слоту на смонтированной лицевой панели модуля, чтобы войти в контакт с лицевым разъемом модуля FPGA. Любая печатная плата, разработанная для сопряжения с лицевым разъемом модуля FPGA, должна точно совпадать с приведенным описанием краевого разъема, чтобы гарантировать правильное и надежное соединение между модулем NI FlexRIO FPGA и пользовательским адаптером.

Краевой разъем, вставляемый в лицевой разъем модуля NI FlexRIO FPGA, создается как часть печатной платы. Настоящее физическое представление краевого разъема печатной платы называется ячейкой (cell). В проектных файлах (pro/e, STEP, IGES, DXF и PDF), поставляемых с набором разработчика адаптера NI FlexRIO, представлены полные чертежи с размерами, которые могут помочь при точной разработке ячейки.

Примечание: NI настоятельно рекомендует использовать электронные проектные файлы при разработке разъема. Размеры на чертежах в этом руководстве предоставлены для справки. NI не рекомендует использовать справочные чертежи из руководства как основной источник информации при проектировании разъема.

Для получения дополнительной информации об этих проектных файлах обратитесь к главе 4, *О разработке электрической схемы*.

Проектные файлы инсталлируются в следующие папки:

- Windows XP/2000:
  `C:\Documents and Settings\All Users\Shared Documents\National Instruments\FlexRIO\Module`

`Development Kit\Design Files`

- Windows 7/Vista:
  `C:\Users\Public\Documents\National Instruments\FlexRIO\Module Development Kit\Design Files`

Примечание: Ключ разъема должен находиться в правильном месте и иметь правильные размеры, чтобы совпасть с передней панелью модуля NI FlexRIO FPGA. Обратите также внимание, что разположение ламельного контакта в верхней части разъема слегка отличается.

На рисунке 6-1 показана конфигурация контактов верхней части разъема.

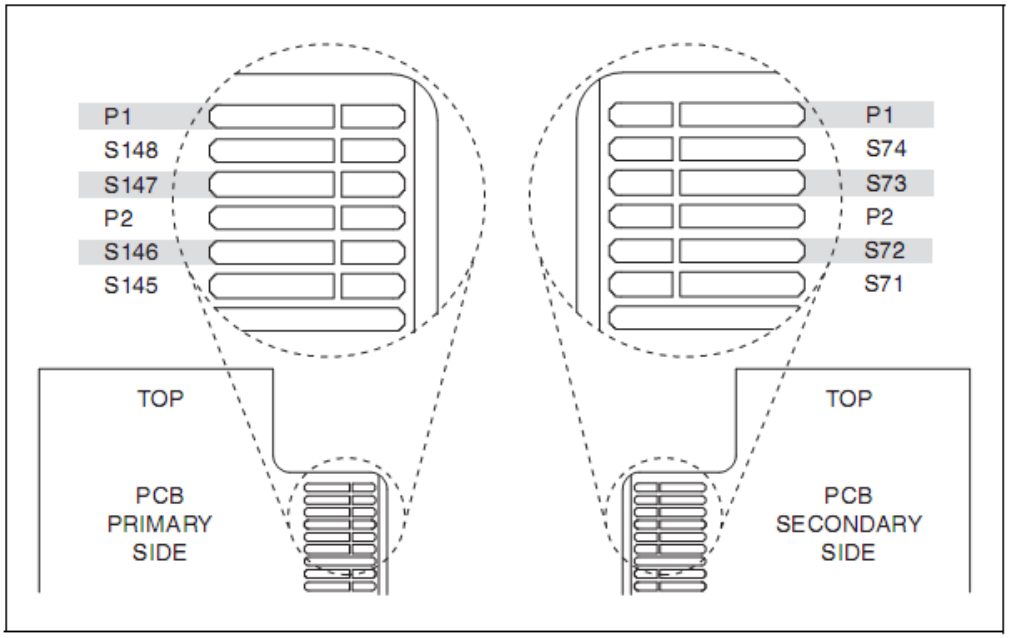


Рисунок 6-1. Краевой разъем печатной платы - вид сверху

PCB Primary Side – лицевая сторона печатной платы, PCB Secondary Side – обратная сторона печатной платы

К расположению ламельного контакта краевого разъема печатной платы имеются два требования. Во-первых, адаптер имеет защиту от горячего подключения, то есть контакт «земля» должны первым подключаться при вставке адаптера и последним отключаться при извлечении адаптера. Для этого используются более короткие контакты для сигнальных цепей и питания, и более длинные - для подключения к земле. Второе требование – чтобы плотность и малый шаг ламелей разъема всегда обеспечивали контакт между металлическими частями. Если конструкция печатной платы позволяет подпружиненному контакту в модуле NI FlexRIO FPGA скрести по материалу печатной платы, этот контакт может поцарапать поверхность печатной платы и породить мусор, что может повлиять на электрическое соединение между пружиной и контактной площадкой.

Позолоченный ламельные контакты и краевой разъем печатной платы должны удовлетворять следующим требованиям реальной конструкции.

- Размеры части, вставляемой в лицевую панель модуля NI FlexRIO FPGA, показаны на рисунке 6-2.

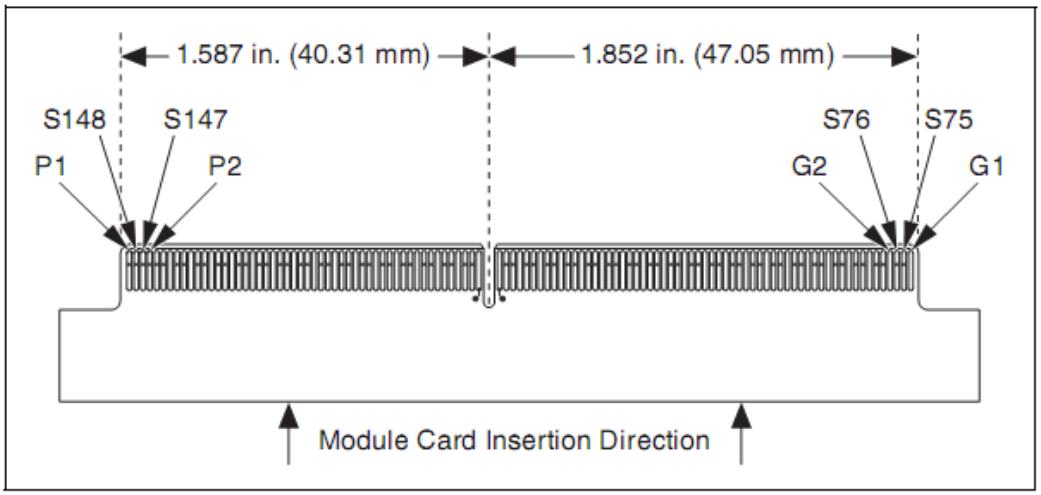


Рисунок 6-2. Основные размеры краевого разъема печатной платы

Module Card Insertion Direction – направление установки платы

- Разъем печатной платы показан на рисунке 6-3.

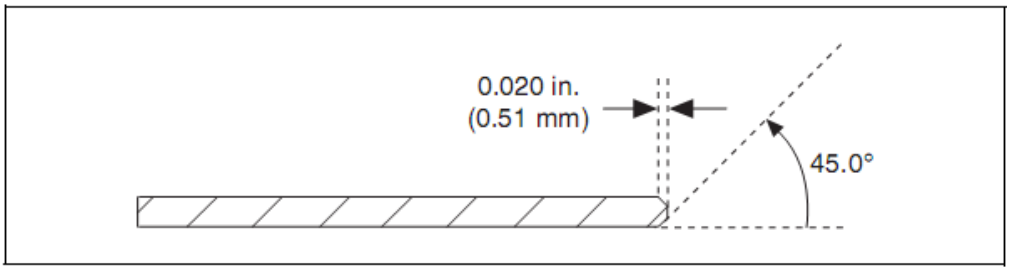
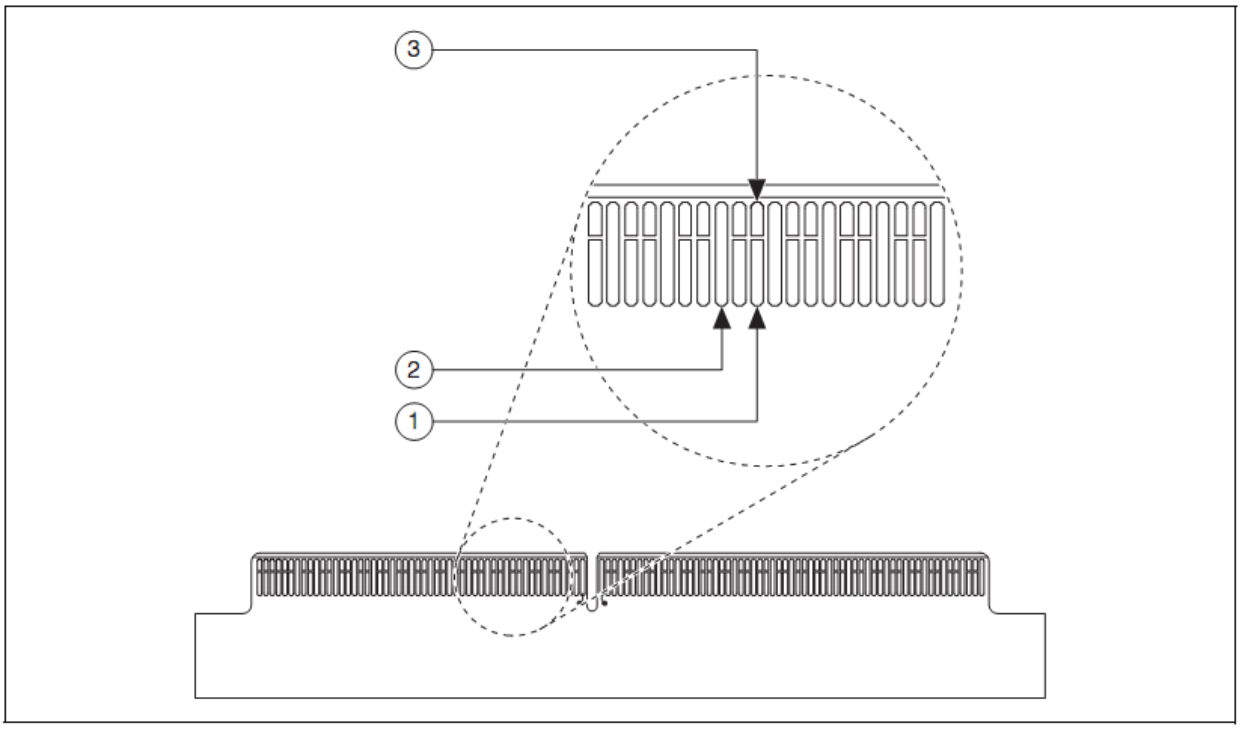


Рисунок 6-3. Фаска печатной платы адаптера на краю позолоченного ламельного контакта

На рисунке 6-4 показаны два различных стиля разработки ламельных контактов. Длинная монолитная ламель используется для подключения к земле, а разделенная ламель - для передачи сигналов и питания. Эти два варианта используются совместно, чтобы гарантировать, что подключение «земли» будет первым при установке адаптера в модуль, а размыкание цепи «земли» будет последним при извлечении адаптера из модуля.



1 Split-Finger Pad—Connected to Signal/Power
2 Monolithic Finger Design for Ground Connections
3 Split-Finger Pad—Unconnected to Increase Life of Signal/Power Connector Pads

Рисунок 6-4. Электрическое подключение позолоченных ламельных контактов

1 – Контакт разделенной ламели – подключаемый к сигналам/питанию
2 – Монолитная ламель – для подключений к земле
3 – Контакт разделенной ламели – не подключен для увеличения срока службы ламелей, подключенных к сигналам/питанию.

Финишная обработка краевого разъема печатной платы

Краевой разъем печатной платы адаптера вставляется в разъем модуля NI FlexRIO FPGA. Пружинные контакты этого разъема позолочены, поэтому для оптимальной эксплуатации NI рекомендует использовать покрытие золотом ламелей краевого разъема. Контакт золота с золотом обеспечивает наиболее надежное физическое и электрическое подключение. Краевой разъем печатной платы адаптера состоит из трасс, как правило, покрытых золотом, откуда и пошёл термин «золоченые ламели» (goldfinger). Для финищной обработки поверхности этих ламелей рекомендуется плотное золочение.

Из-за уникальной геометрии ламельных контактов рекомендуется избирательный процесс золочения. При избирательном золочении наносится толстый и плотный слой золота, очень устойчивый, выдерживающий множественные механические операции вставки и извлечения. Такая обработка используется в заказных платах PCI и PCI Express, разработанных для вставки в материнскую плату компьютера.

ENIG (иммерсионное золочение) – недорогое решение, представляющее собой окунание в золото всех поверхностей печатной платы. При этом процессе на контакты наносится очень тонкий слой золота. Этот метод не

гарантирует долгой службы разъема при частых вставках и извлечениях. Для приложений, в которых требуются частые вставки и извлечения адаптера, процесс ENIG не рекомендуется.

Примечание: Финишная обработка горячим лужением (HASL) не рекомендуется, поскольку она минимально контролируется и копланарность по завершении может быть такой, что может привести к заеданию разъема.

7. Корпус модуля

Печатную плату адаптера следует помещать в корпус, предоставляемый в наборе разработчика адаптеров NI FlexRIO FPGA. В компании National Instruments можно также приобрести дополнительные корпуса. Согласно требованиям NI, любая завершенная разработка адаптера должна включать корпус, чтобы гарантировать надлежащую стыкуемость и электрическую защиту.

Корпус

На рисунке 7-1 показан корпус адаптера, разработанный компанией National Instruments. Это металлический корпус для адаптера, обеспечивающий простой интерфейс с системой PXI/PXI Express. Корпус также обеспечивает электрический экран, механический крепеж пользовательской печатной платы и поддержку пользовательских лицевых панелей для монтажа разъемов.

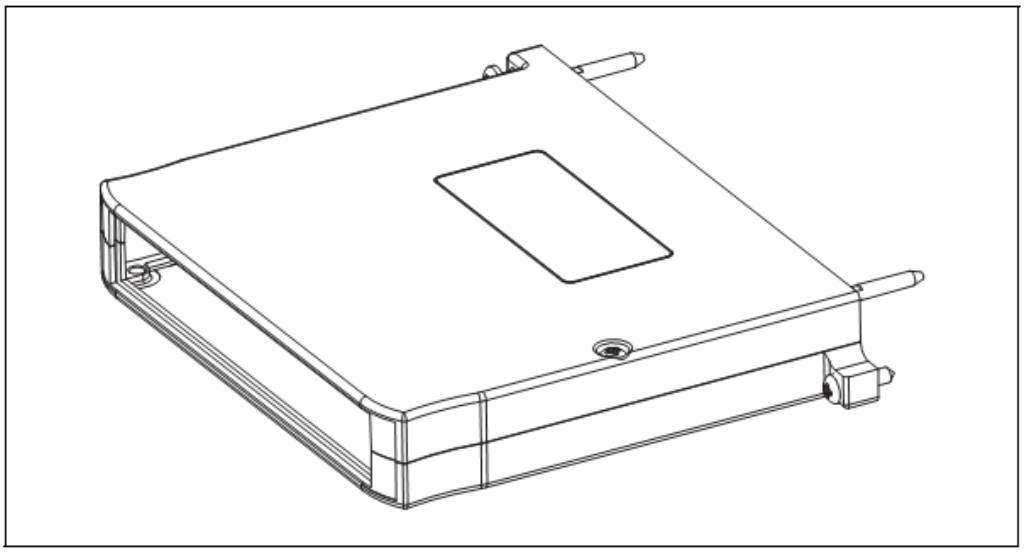


Рисунок 7-1. Корпус адаптера

Чертеж корпуса с размерами приведен на рисунке 7-2.

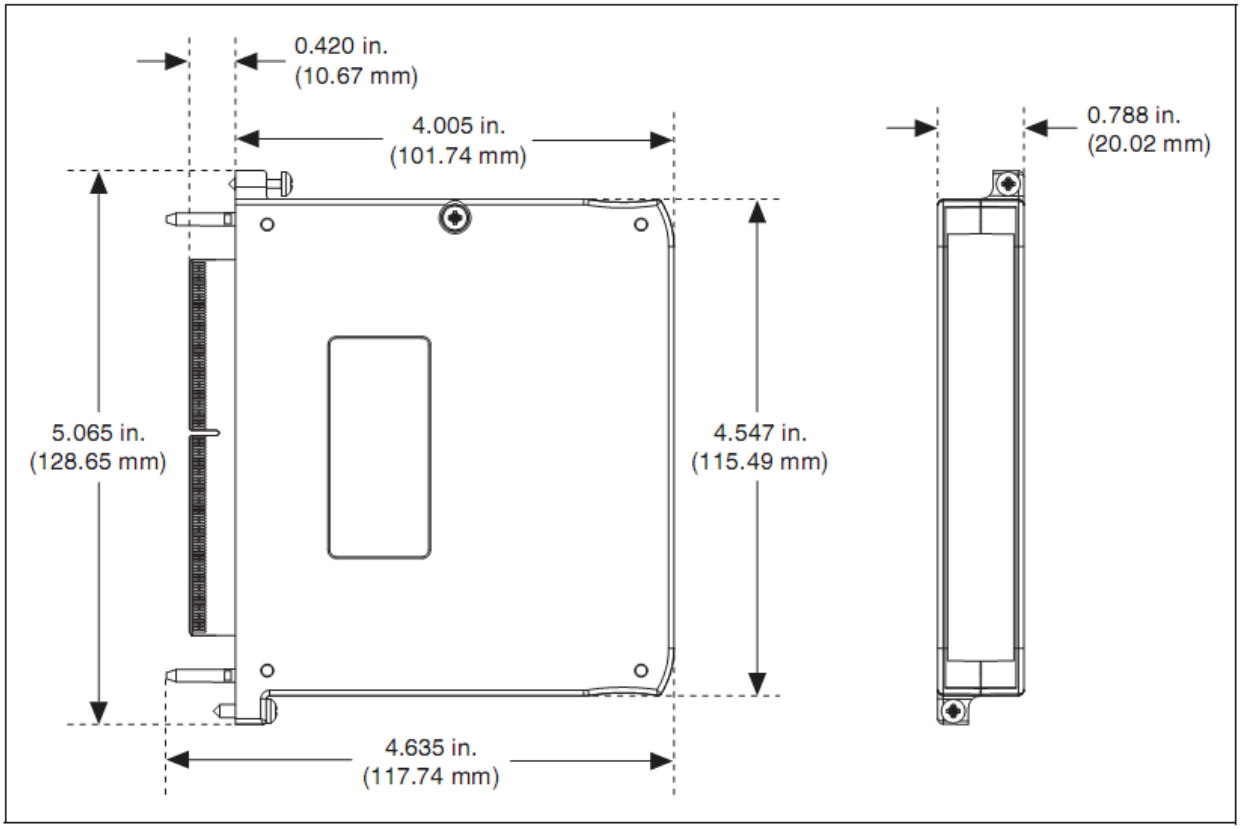


Рисунок 7-2. Размеры корпуса модуля сопряжения NI FlexRIO

Примечание: Рисунок 7-2 следует использовать только для оперативной справки. Подробная информация о размерах корпуса адаптера содержится в электронных проектных файлах, предоставленным NI.

На рисунках 7-3 и 7-4 показаны размеры лицевой панели корпуса относительно размеров и размещения печатной платы.

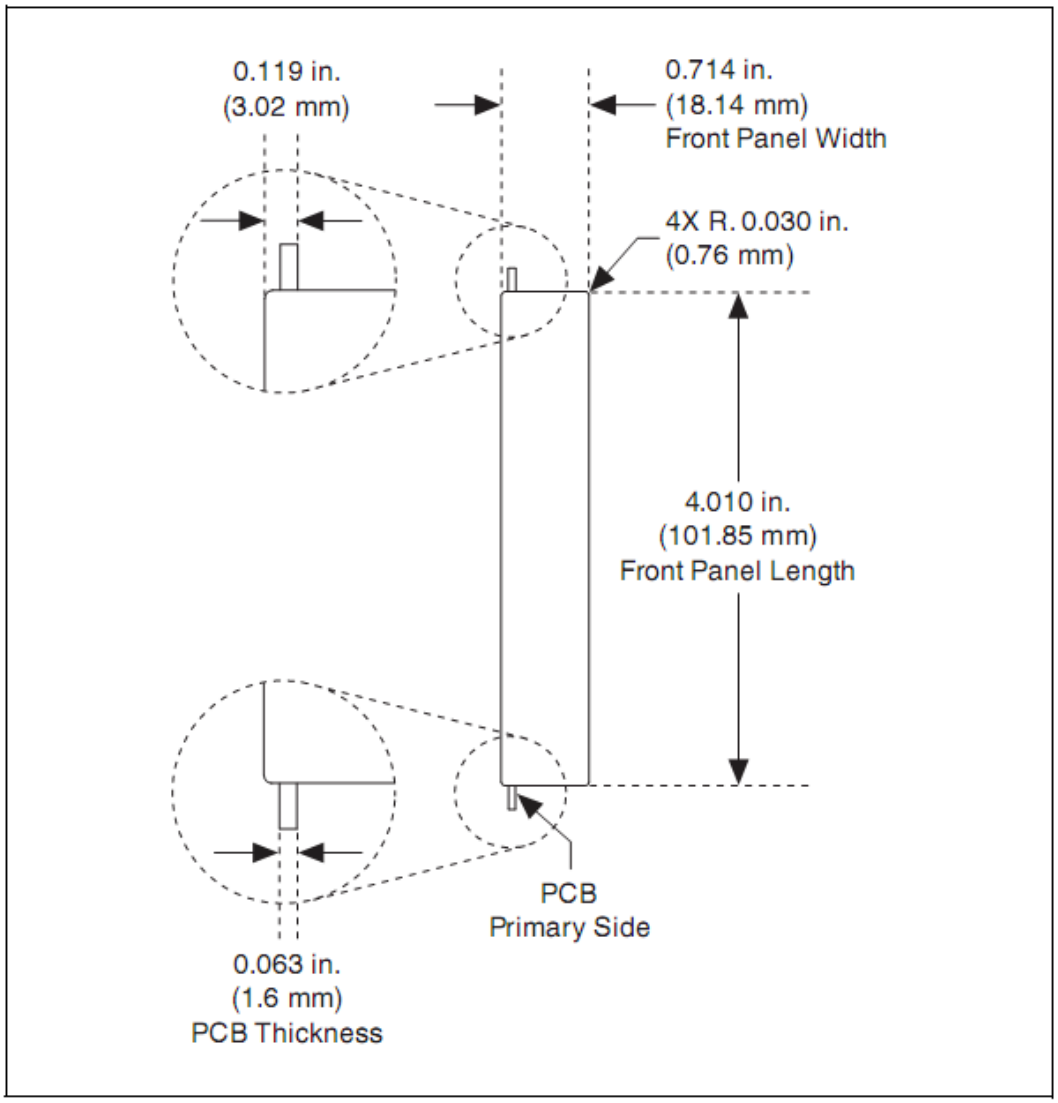


Рисунок 7-3. Размеры лицевой панели и размещение печатной платы (вид спереди)

PCB Thickness – толщина печатной платы, PCB Primary side – лицевая сторона печатной платы, Front Panel Width – ширина лицевой панели, Front Panel Length – длина лицевой панели

Примечание: Рисунок 7-3 следует использовать только для оперативной справки. Для получения подробной информации о размерах корпуса адаптера обратитесь к электронным проектным файлам, предоставленным NI.

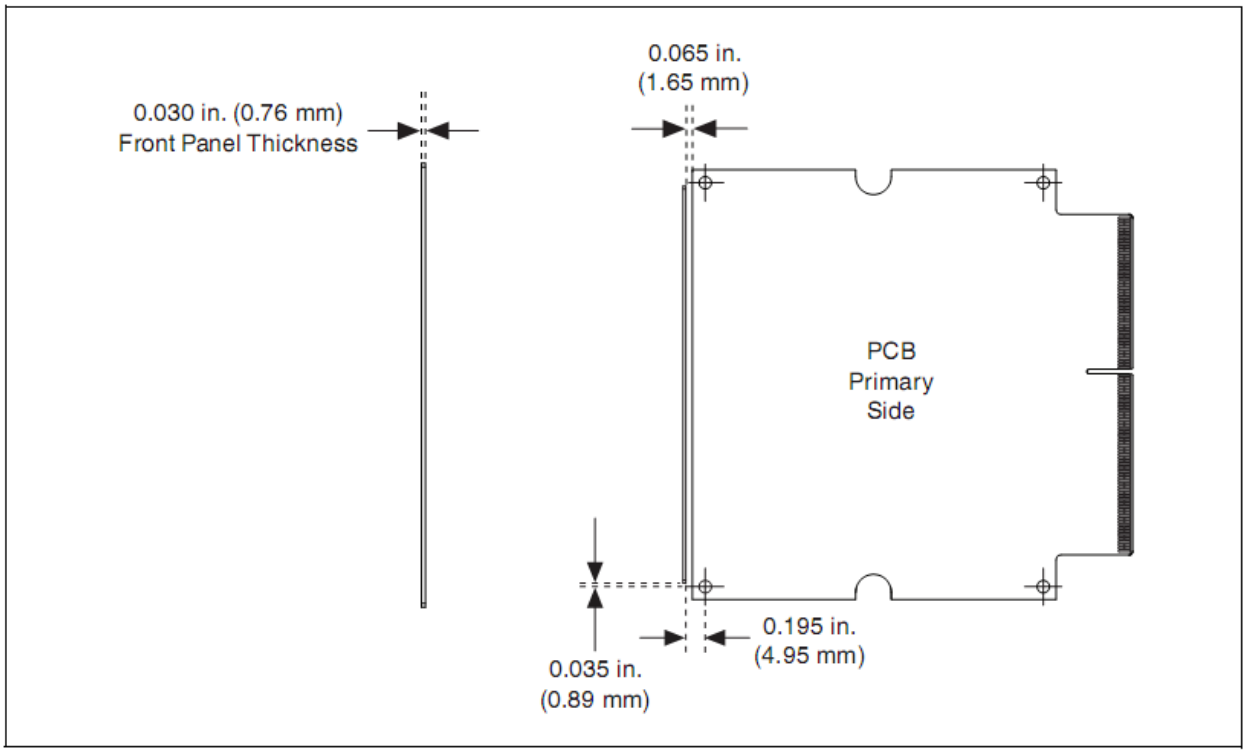


Рисунок 7-4. Размеры лицевой панели и размещение печатной платы (вид сверху)

Front Panel Thickness – толщина лицевой панели, PCB Primary side – лицевая сторона печатной платы

Примечание: Рисунок 7-4 следует использовать только для оперативной справки. Для получения подробной информации о размерах корпуса адаптера обратитесь к электронным проектным файлам, предоставленным NI.

Лицевая панель корпуса адаптера может быть полностью спроектирована под нужды пользователем. Набор корпуса адаптера содержит несколько пустых панелей, которые могут быть доработаны под соответствующие разъемы, используемые для подключения к адаптеру внешних сигналов. Для начального прототипирования лицевая панель адаптера необязательна. Однако для финальной стадии разработки NI рекомендует использовать лицевую панель для уменьшения электромагнитного излучения. Точные размерыми лицевой панели, сведения о размещении печатной платы и окна разъема ввода-вывода показаны на рисунке 5-3, *Размеры зазоров окна разъема ввода-вывода.*

Корпус полезен также для маркировки разъемов в соответствии с их назначением. Для специализированной обработки воспользуйтесь сторонними услугами. Обработка простых металлических деталей, таких, как лицевая панель адаптера, стоит недорого, и несколько онлайн-служб, например, `www.emachineshop.com` или `www.bigbluesaw.com` могут выполнить такую операцию.

8. Подготовка к работе устройства NI FlexRIO

В настоящей главе объясняется, каким образом осуществляется подготовка к работе устройства NI FlexRIO и разработанного вами адаптера.

Необходимые компоненты

Для подготовки к работе и эксплуатации устройства NI FlexRIO нужны следующие компоненты:

- Само устройство FlexRIO, в составе которого
  - Модуль NI FlexRIO FPGA
  - Разработанный вами адаптер
- Следующие программные пакеты:
  - LabVIEW
  - Модуль LabVIEW FPGA
  - Драйверы устройств NI-RIO
  - **(Необязательно)** Модуль LabVIEW Real-Time

За информацией о технической поддержке программного обеспечения (ПО) для NI FlexRIO обратитесь к разделу *Инсталляция прикладного ПО и драйвера*.

- Шасси PXI/CompactPCI или PXI Express и встраиваемый контроллер типа PXI/CompactPCI или PXI Express, работающий под Windows 7/ Vista/2000 или Windows XP Pro x32 Service Pack 1 или 2.

Инсталляция прикладного ПО и драйвера

Перед тем, как устанавливать устройство FlexRIO, необходимо инсталлировать прикладное ПО (LabVIEW) и драйвер устройства (NI-RIO). Чтобы определить, какие минимальные версии ПО требуются для используемого вами устройства, зайдите на сайт ni.com/info и введите `rdsoftwareversion`.

Следующие документы доступны на сайте `ni.com/manuals`. Документацию по LabVIEW также можно посмотреть в папке LabVIEW Manuals, которая открывается командой меню **Пуск»Программы»National Instruments»LabVIEW»LabVIEW Manuals**.

Инсталляция прикладного ПО

Инструкции по инсталляции среды LabVIEW и требования к системе, приведены в документе *LabVIEW Release Notes*. За дополнительной информацией по обновлению LabVIEW под Windows до самой последней версии обратитесь к документу *LabVIEW Upgrade Notes*.

Инструкции по инсталляции модуля LabVIEW FPGA и начале работы с ним вы можете узнать из документа *LabVIEW FPGA Module Release and Upgrade Notes*.

Чтобы узнать о системных требованиях, порядке инсталляции и получить дополнительные сведения о применении модуля LabVIEW Real-Time, обратитесь к документу *LabVIEW Real-Time Module Release and Upgrade Notes*.

Инсталляция драйвера

Требования к системе и сведения о порядке инсталляции драйвера NI-RIO приведены в документе *NI-RIO Readme,* который записан на установочном диске.

Подготовка к работе устройства, акссесуаров и кабелей

Здесь описывается, как следует распаковывать и устанавливать устройства NI FlexRIO.

Примечание: Драйвер NI-RIO необходимо инсталлировать *до начала* установки устройств FlexRIO.

Распаковка

Устройство NI FlexRIO FPGA поставляется в антистатической упаковке, которая предотвращает вывод из строя электронных компонентов электростатическим разрядом. Чтобы избежать подобных повреждений при обращении с устройством, соблюдайте следующие меры предосторожности:

- Заземлитесь с помощью специального браслета или путем прикосновения к заземленному объекту, например, шасси компьютера.
- Перед извлечением устройства из упаковки приложите упаковку к какой-нибудь металлической части шасси компьютера.

Внимание! *Ни в коем* случае не прикасайтесь к оголенным контактам разъемов.

Вытащите устройство из упаковки и проверьте, нет ли в нем плохо закрепленных компонентов или иных признаков повреждения. Известите

любым способом NI, если устройство кажется поврежденным. *Не устанавливайте* поврежденное устройство в компьютер.

Храните неиспользуемое NI FlexRIO FPGA устройство в антистатическом конверте.

Установка модуля NI FlexRIO FPGA

Выполните следующие действия для установки модуля FlexRIO FPGA:

Примечание: До установки оборудования необходимо инсталлировать программное обеспечение. За информацией по инсталляции обратитесь к разделу *Инсталляция прикладного ПО и драйвера*.

1. Выключите питание шасси PXI/PXI Express и отсоедините его от сети. Чтобы подготовить к работе и сконфигурировать шасси, обратитесь к руководству по эксплуатации шасси.

Внимание! Перед тем, как снимать крышки с корпусов оборудования, подсоединять или отсоединять любые сигнальные провода, ознакомьтесь с документом *Read Me First: Safety and Electromagnetic Compatibility*, поставляемому вместе с шасси или устройством PXI/PXI Express.

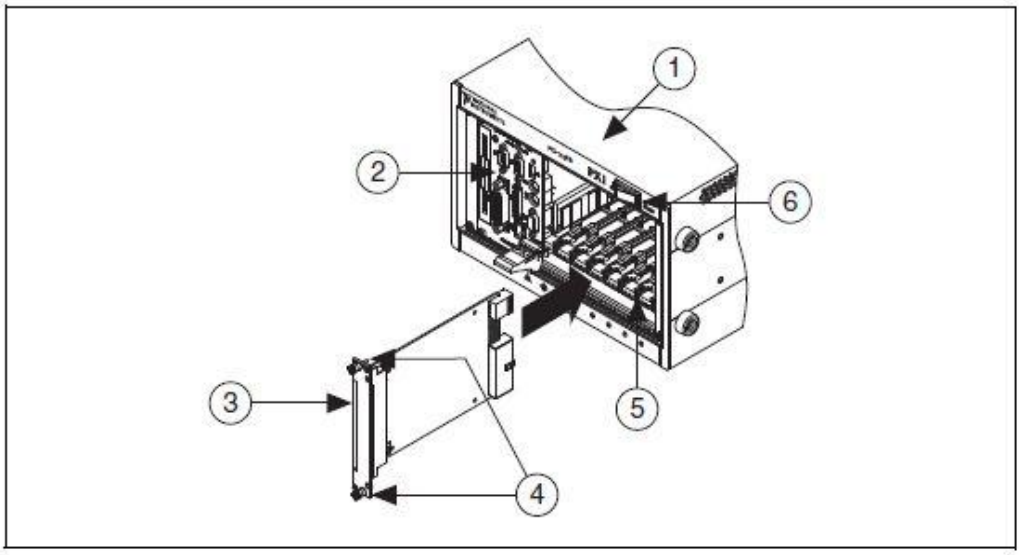


Рис. 8-1. Установка модуля FlexRIO FPGA в шасси PXI/PXI

1 – шасси PXI/PXI Express, 2- системный контроллер PXI/PXI Express, 3 – модуль NI FlexRIO FPGA, 4 – крепежные винты на лицевой панели, 5 – направляющие для модуля, 6 – выключатель питания

2. Идентифицируйте поддерживаемый слот PXI/PXI Express в шасси.

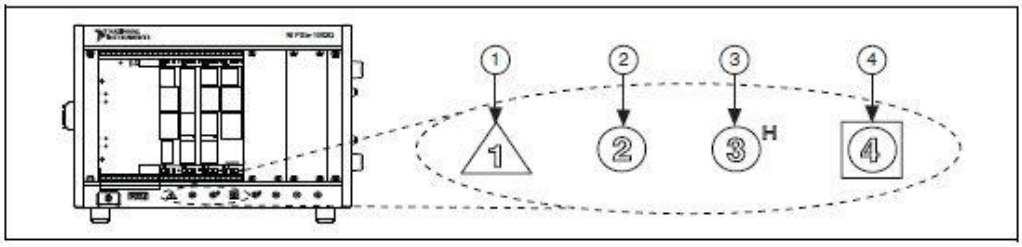


Рис. 8-2. Обозначения для слотов PXI Express/PXI Express Hybrid/PXI

1 – Слот системного контроллера PXI Express, 2 – Слот для периферийного устройства PXI Express, 3 – слот для периферийного устройства PXI Express Hybrid, 4- слот для системного тактового генератора PXI Express

Если вы используете шасси PXI Express, то в PXI слоты можно помещать PXI устройства. Если PXI устройство совместимо с гибридным слотом, то вы можете пользоваться слотами PXI Express Hybrid. Устройства PXI Express можно размещать только в слотах PXI Express и PXI Express Hybrid. За более подробной информацией обратитесь к документации на шасси.

3. Снимите панель-заглушку с неиспользуемого слота PXI/PXI Express.
4. Прикоснитесь к любой металлической части шасси, чтобы полностью снять заряд статического электричества.
5. Совместите края модуля PXI/PXI Express с направляющими вверху и внизу шасси.
6. Прикрепите лицевую панель модуля к лицевой панели шасси с помощью крепежных винтов.
7. Вставьте вилку блока питания в розетку и включите питание шасси PXI/PXI Express.

Подтверждение того, что устройство распознано

Чтобы получить подтверждение, что ваше устройство распознано, выполните следующие дополнительные действия:

1. Откройте программу Measurement & Automation Explorer (MAX) командой меню **Пуск»Программы»National Instruments»Measurement & Automation**.
2. Раскройте раздел **Devices and Interfaces**.
3. Убедитесь в том, что устройство появилось в разделе **Devices and Interfaces»RIO Devices**.

Установка специализированного адаптера

Чтобы подключить адаптер к модулю NI FlexRIO FPGA, выполните следующие действия.

1. Аккуратно вставьте направляющие штифты и краевой разъем с высокой плотностью монтажа вашего адаптера в соответствующие разъемы модуля NI FlexRIO FPGA. Установка может быть тугой, однако для установки адаптера на место *не следует* применять силу.

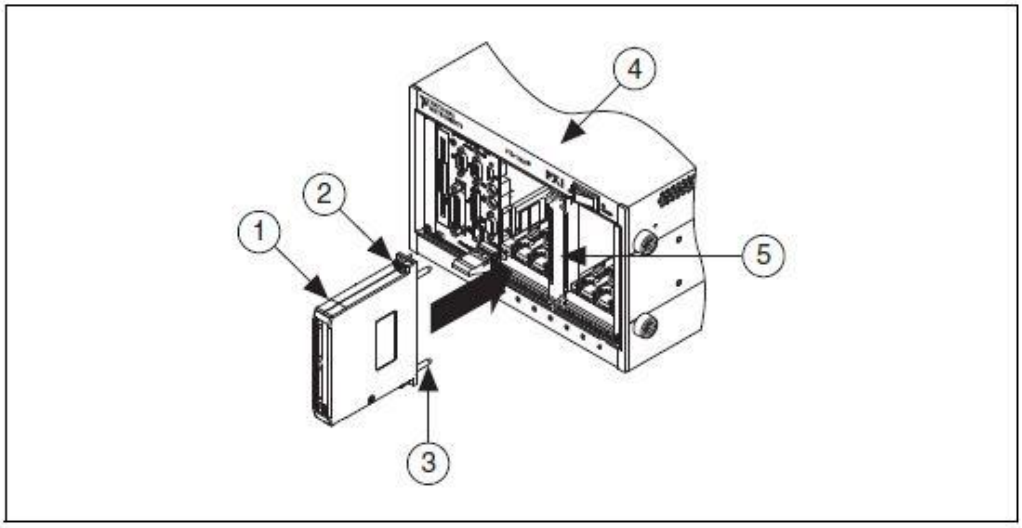


Рис. 8-3. Установка адаптера

1 – адаптер, 2 – невыпадающие винты, 3- направляющие штифты, 4 - шасси PXI/PXI Express, 5 – модуль NI FlexRIO FPGA

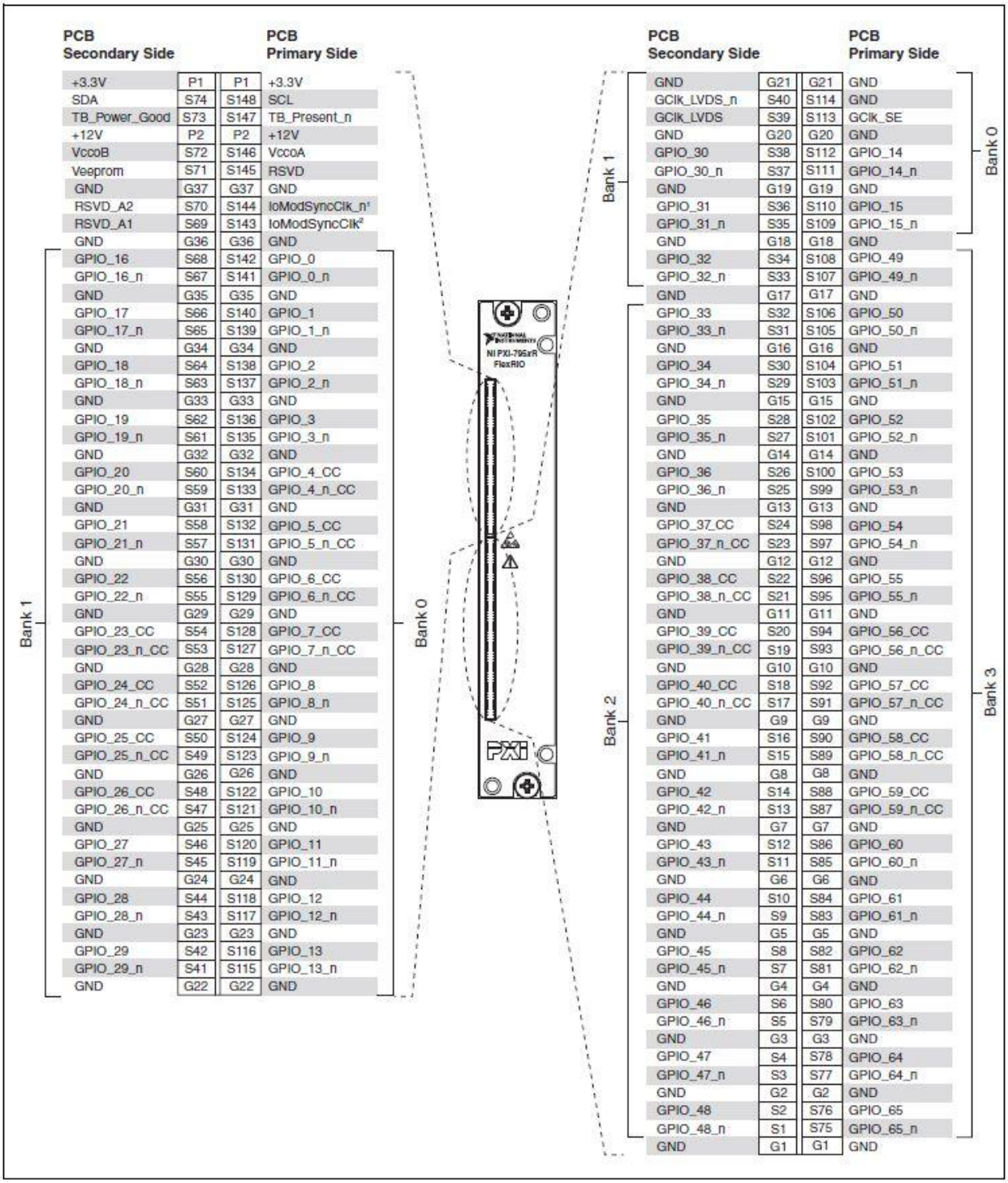
2. Прикрепите адаптер к модулю NI FlexRIO FPGA с помощью невыпадающих винтов.

Извлечение модуля адаптера

Чтобы извлечь адаптер из устройства NI FlexRIO FPGA, следует запретить подачу питания на адаптер в LabVIEW FPGA. За информацией по правильному извлечению адаптера обратитесь к параграфу *Протокол извлечения адаптера* в главе 3, *Интерфейс и протокол адаптера*.

Подключаемые сигналы

На рисунке 8-4 приведены назначение контактов и их расположение на разъеме ввода-вывода для модуля NI FlexRIO FPGA.



PCB Secondary Side			PCB Primary Side	
+3.3V	P1	P1	+3.3V	
SDA	S74	S148	SCL	
TB_Power_Good	S73	S147	TB_Present_n	
+12V	P2	P2	+12V	
VccoB	S72	S146	VccoA	
Veeprom	S71	S145	RSVD	
GND	G37	G37	GND	
RSVD_A2	S70	S144	IoModSyncClk_n[1]	
RSVD_A1	S69	S143	IoModSyncClk[2]	
GND	G36	G36	GND	
GPIO_16	S68	S142	GPIO_0	Bank 0
GPIO_16_n	S67	S141	GPIO_0_n	Bank 0
GND	G35	G35	GND	Bank 0
GPIO_17	S66	S140	GPIO_1	Bank 0
GPIO_17_n	S65	S139	GPIO_1_n	Bank 0
GND	G34	G34	GND	Bank 0
GPIO_18	S64	S138	GPIO_2	Bank 0
GPIO_18_n	S63	S137	GPIO_2_n	Bank 0
GND	G33	G33	GND	Bank 0
GPIO_19	S62	S136	GPIO_3	Bank 0
GPIO_19_n	S61	S135	GPIO_3_n	Bank 0
GND	G32	G32	GND	Bank 0
GPIO_20	S60	S134	GPIO_4_CC	Bank 0
GPIO_20_n	S59	S133	GPIO_4_n_CC	Bank 0
GND	G31	G31	GND	Bank 0
GPIO_21	S58	S132	GPIO_5_CC	Bank 0
GPIO_21_n	S57	S131	GPIO_5_n_CC	Bank 0
GND	G30	G30	GND	Bank 0
GPIO_22	S56	S130	GPIO_6_CC	Bank 0
GPIO_22_n	S55	S129	GPIO_6_n_CC	Bank 0
GND	G29	G29	GND	Bank 0
GPIO_23_CC	S54	S128	GPIO_7_CC	Bank 0
GPIO_23_n_CC	S53	S127	GPIO_7_n_CC	Bank 0
GND	G28	G28	GND	Bank 0
GPIO_24_CC	S52	S126	GPIO_8	Bank 0
GPIO_24_n_CC	S51	S125	GPIO_8_n	Bank 0
GND	G27	G27	GND	Bank 0
GPIO_25_CC	S50	S124	GPIO_9	Bank 0
GPIO_25_n_CC	S49	S123	GPIO_9_n	Bank 0
GND	G26	G26	GND	Bank 0
GPIO_26_CC	S48	S122	GPIO_10	Bank 0
GPIO_26_n_CC	S47	S121	GPIO_10_n	Bank 0
GND	G25	G25	GND	Bank 0
GPIO_27	S46	S120	GPIO_11	Bank 0
GPIO_27_n	S45	S119	GPIO_11_n	Bank 0
GND	G24	G24	GND	Bank 0
GPIO_28	S44	S118	GPIO_12	Bank 0
GPIO_28_n	S43	S117	GPIO_12_n	Bank 0
GND	G23	G23	GND	Bank 0
GPIO_29	S42	S116	GPIO_13	Bank 0
GPIO_29_n	S41	S115	GPIO_13_n	Bank 0
GND	G22	G22	GND	Bank 0

PCB Secondary Side			PCB Primary Side	
GND	G21	G21	GND	
GClk_LVDS_n	S40	S114	GND	
GClk_LVDS	S39	S113	GClk_SE	
GND	G20	G20	GND	
GPIO_30	S38	S112	GPIO_14	Bank 0
GPIO_30_n	S37	S111	GPIO_14_n	Bank 0
GND	G19	G19	GND	Bank 0
GPIO_31	S36	S110	GPIO_15	Bank 0
GPIO_31_n	S35	S109	GPIO_15_n	Bank 0
GND	G18	G18	GND	
GPIO_32	S34	S108	GPIO_49	Bank 3
GPIO_32_n	S33	S107	GPIO_49_n	Bank 3
GND	G17	G17	GND	Bank 3
GPIO_33	S32	S106	GPIO_50	Bank 3
GPIO_33_n	S31	S105	GPIO_50_n	Bank 3
GND	G16	G16	GND	Bank 3
GPIO_34	S30	S104	GPIO_51	Bank 3
GPIO_34_n	S29	S103	GPIO_51_n	Bank 3
GND	G15	G15	GND	Bank 3
GPIO_35	S28	S102	GPIO_52	Bank 3
GPIO_35_n	S27	S101	GPIO_52_n	Bank 3
GND	G14	G14	GND	Bank 3
GPIO_36	S26	S100	GPIO_53	Bank 3
GPIO_36_n	S25	S99	GPIO_53_n	Bank 3
GND	G13	G13	GND	Bank 3
GPIO_37_CC	S24	S98	GPIO_54	Bank 3
GPIO_37_n_CC	S23	S97	GPIO_54_n	Bank 3
GND	G12	G12	GND	Bank 3
GPIO_38_CC	S22	S96	GPIO_55	Bank 3
GPIO_38_n_CC	S21	S95	GPIO_55_n	Bank 3
GND	G11	G11	GND	Bank 3
GPIO_39_CC	S20	S94	GPIO_56_CC	Bank 3
GPIO_39_n_CC	S19	S93	GPIO_56_n_CC	Bank 3
GND	G10	G10	GND	Bank 3
GPIO_40_CC	S18	S92	GPIO_57_CC	Bank 3
GPIO_40_n_CC	S17	S91	GPIO_57_n_CC	Bank 3
GND	G9	G9	GND	Bank 3
GPIO_41	S16	S90	GPIO_58_CC	Bank 3
GPIO_41_n	S15	S89	GPIO_58_n_CC	Bank 3
GND	G8	G8	GND	Bank 3
GPIO_42	S14	S88	GPIO_59_CC	Bank 3
GPIO_42_n	S13	S87	GPIO_59_n_CC	Bank 3
GND	G7	G7	GND	Bank 3
GPIO_43	S12	S86	GPIO_60	Bank 3
GPIO_43_n	S11	S85	GPIO_60_n	Bank 3
GND	G6	G6	GND	Bank 3
GPIO_44	S10	S84	GPIO_61	Bank 3
GPIO_44_n	S9	S83	GPIO_61_n	Bank 3
GND	G5	G5	GND	Bank 3
GPIO_45	S8	S82	GPIO_62	Bank 3
GPIO_45_n	S7	S81	GPIO_62_n	Bank 3
GND	G4	G4	GND	Bank 3
GPIO_46	S6	S80	GPIO_63	Bank 3
GPIO_46_n	S5	S79	GPIO_63_n	Bank 3
GND	G3	G3	GND	Bank 3
GPIO_47	S4	S78	GPIO_64	Bank 3
GPIO_47_n	S3	S77	GPIO_64_n	Bank 3
GND	G2	G2	GND	Bank 3
GPIO_48	S2	S76	GPIO_65	Bank 3
GPIO_48_n	S1	S75	GPIO_65_n	Bank 3
GND	G1	G1	GND	

Рис. 8-4. Назначение контактов ввода-вывода и их расположение на переднем разъеме модуля NI FlexRIO FPGA

1 – RSVD_B2 в модуле PXI-795xR, 2 – RSVD_B1 в модуле PXI-795xR, Primary Side – лицевая сторона, Secondary Side – обратная сторона

Внимание! Подключения, при которых может произойти превышение предельно допустимых уровней сигналов на входах или выходах устройства NI FlexRIO может вывести из строя модуль NI FlexRIO FPGA, адаптер, а также компьютер или шасси. NI *не несет* ответственности за любые повреждения в результате подобных подключений. Чтобы узнать предельно допустимые значения каждого из входных и выходных сигналов, обратитесь к документу *NI FlexRIO FPGA*

Module Specifications, доступному на сайте `ni.com/manuals`.

Дополнительные кабели

Типы дополнительных кабелей для вашего устройства зависят от разъемов, используемых в конструкции адаптера. Информацию о кабелях, подходящих для вашего приложения, можно найти по ссылке `ni.com/products`.

За более подробной информацией о подключаемых сигналах на разъеме ввода-вывода обратитесь к главе 3, *Интерфейс и протокол адаптера.*

9. Конфигурирование адаптера для использования с LabVIEW FPGA

Совместно с устройством NI FlexRIO используется адаптер, который вы создали в самом начале изучения настоящего документа, чтобы обеспечить электрический интерфейс между вашей схемой и FlexRIO FPGA. После изготовления адаптера вам потребуется его так сконфигурировать, чтобы он мог работать совместно с LabVIEW FPGA.

Примечание: На программном уровне адаптеры NI FlexRIO относятся к *модулям ввода-вывода (IO Modules)*.

Чтобы сконфигурировать адаптер для совместной работы с LabVIEW FPGA, следует выполнить следующие действия:

1. Запишите идентификатор модуля ввода-вывода (ID) в EEPROM.
2. Создайте файл конфигурации адаптера с расширением `.tbc`.
3. Разработайте или получите блок CLIP, чтобы создать интерфейс между адаптером и FPGA.
4. Сконфигурируйте адаптер в проекте LabVIEW.

В данной главе более детально описываются действия 1 и 2. Далее вам предстоит определить характеристики модуля и задать его идентификатор, чтобы адаптер был распознан LabVIEW FPGA. Шаги 3 и 4 подробно рассмотрены в главе 10, *Создание подключаемого блока CLIP для адаптера*.

Программирование EEPROM

Идентификатор модуля ввода-вывода однозначно определяет адаптер, который физически подключен к модулю NI FlexRIO FPGA. Этот идентификатор представляет собой 32-битовое число, которое хранится в EEPROM адаптера и соответствует конкретной модели адаптера. Для всех адаптеров одной и той же модели должен использоваться один и тот же идентификатор модуля ввода-вывода. Идентификаторы адаптеров разных моделей должны быть уникальными.

Хранение идентификатора в EEPROM адаптера обеспечивает более совершенную защиту от вредных электрических воздействий как для адаптера, так и модуля NI FlexRIO FPGA. Например, уровни напряжения V_{ccoA}/V_{ccoB} должны быть корректно сконфигурированы в соответствии с

требованиями к электрическим характеристикам каждого отдельного адаптера. Для конкретного адаптера строится свой VI FPGA. Следовательно, в этот VI заложена идея ожидаемого адаптера, для которого должна использоваться конкретная конфигурация уровней V_{ccoA}/V_{ccoB}. Когда адаптер устанавливается в модуль NI FlexRIO FPGA, FPGA пытается автоматически определить, какой адаптер подключен. Идентификатор модуля ввода-вывода позволяет модулю FPGA выяснить, соответствует ли вставленный адаптер ожидаемому FPGA VI. Подача питания на адаптер, включая напряжения V_{ccoA}/V_{ccoB}, разрешается только в том случае, если выполняется требуемое соответствие.

Примечание: NI настоятельно рекомендует включать EEPROM в состав разрабатываемого адаптера для целей идентификации. Это помогает обеспечить более совершенную защиту от вредных электрических воздействий как для адаптера, так и модуля NI FlexRIO FPGA. Это помогает также сделать более удобной программное конфигурирование в LabVIEW FPGA. За более подробной информацией по включению EEPROM в адаптер обратитесь к главе 3, *Интерфейс и протокол адаптера*.

32-битовый идентификатор модуля ввода-вывода имеет следующий формат:

Биты [31..16]: Идентификатор изготовителя (Vendor ID)

Биты [15..0]: Идентификатор изделия (Product ID)

Идентификатор изготовителя – это 16-битовое число, которое является уникальным для каждого изготовителя адаптеров. Эти идентификаторы выдаются компанией NI каждому изготовителю адаптеров. Каждый изготовитель обязан использовать предоставленный идентификатор для всех производимых адаптеров.

Чтобы получить идентификатор для своих адаптеров, направьте запрос по адресу `flexrio.mdk@ni.com`. За более подробной информацией о получении идентификатора изготовителя адаптеров, обратитесь к разделу *Регистрация* в главе 1, *Прежде, чем приступить к работе*.

Идентификатор изделия — это число, которое выбирается самим изготовителем адаптеров. Каждый изготовитель обязан контролировать, чтобы для каждого типа адаптера выбирался свой уникальный идентификатор изделия.

Идентификатор изготовителя и идентификатор изделия вместе образуют уникальный идентификатор модуля ввода-вывода для каждого отдельного адаптера, выпускаемого изготовителем.

Ниже приведен пример идентификатора модуля ввода-вывода:

Идентификатор модуля ввода-вывода: `0xFFFF0001`

Идентификатор поставщика: `0xFFFF`

Идентификатор изделия: `0x0001`

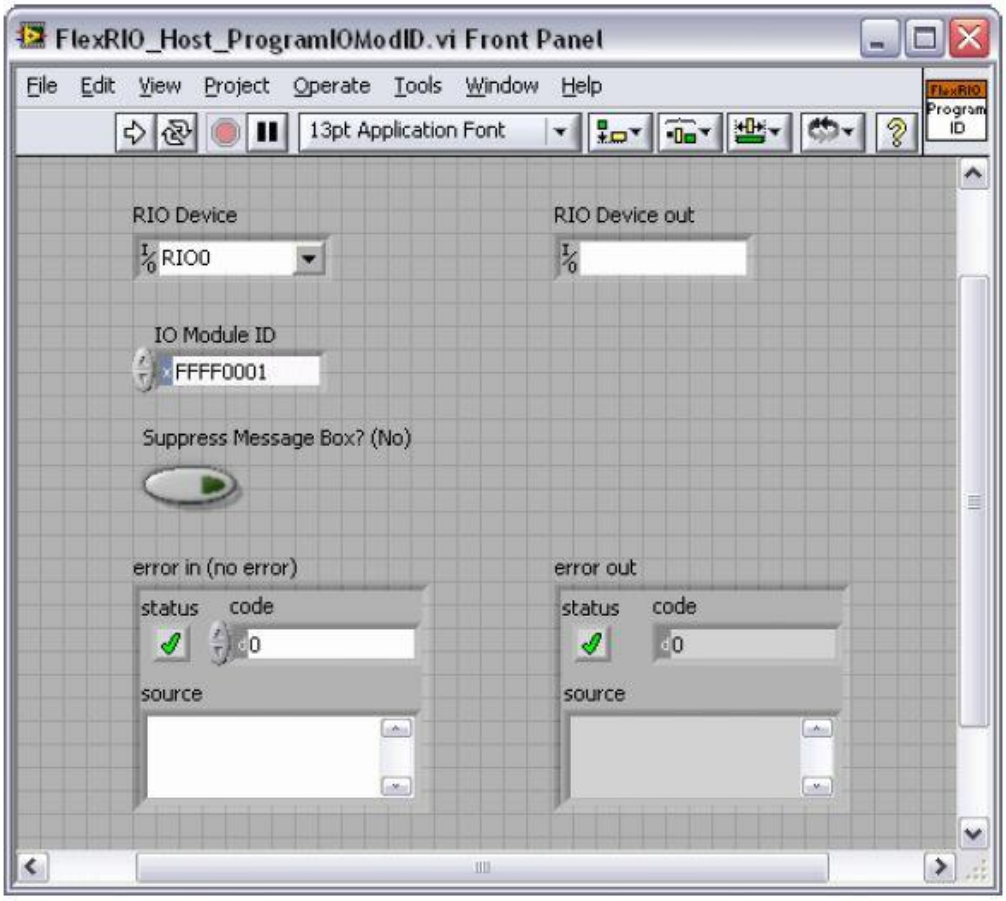
Программирование EEPROM в LabVIEW

Компания National Instruments предоставляет хосе-VI LabVIEW, с помощью которого можно записать идентификатор модуля ввода-вывода в адаптер. Этот VI находится в инсталлированной библиотеке VI: `LabVIEW\vi.lib\FlexRIO\FlexRIO_HostInterface.llb`.

Выполните следующие действия для записи идентификатора модуля ввода-вывода в ваш адаптер:

1. Запустите LabVIEW и откройте файл `FlexRIO_Host_ProgramIOModID.vi`.
2. На лицевой панели только что открытого VI задайте такое значение элемента управления RIO Device, чтобы оно соответствовало имени RIO-устройства модуля NI FlexRIO FPGA, к которому подключен ваш адаптер.

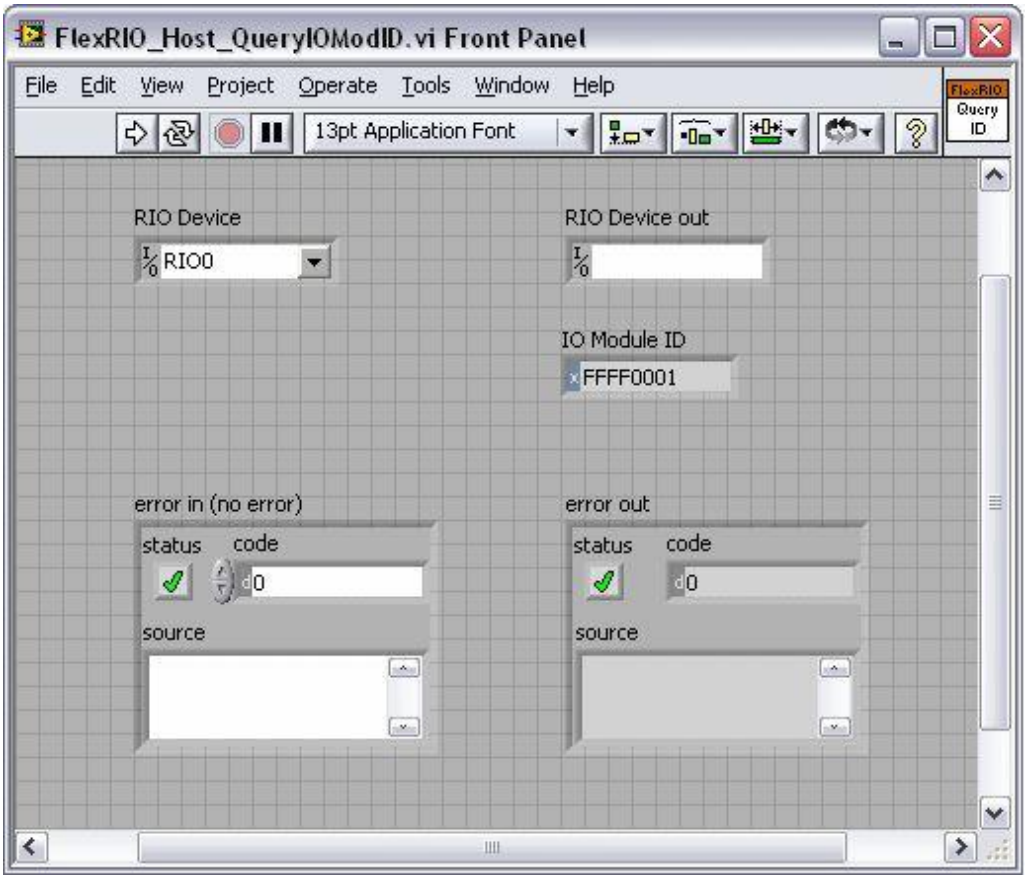
   Чтобы узнать, какое имя RIO устройства соответствует вашему модулю NI FlexRIO FPGA, вы можете запустить программу Measurement and Automation Explorer (MAX) и зайти в раздел **Devices and Interfaces»RIO Devices**. Если в вашей системе есть только одно RIO устройство, то, как правило, его имя – `RIO0`.
3. На лицевой панели `FlexRIO_Host_ProgramIOModID.vi` в элемент управления IO Module ID введите значение, соответствующее 32-битовому идентификатору вашего адаптера.



4. Запустите VI. Если VI запустился успешно, без ошибок, значит, идентификатор запрограммирован правильно.

Чтобы прочитать из EEPROM идентификатор подключенного адаптера, выполните следующие действия:

1. Запустите LabVIEW и откройте файл `FlexRIO_Host_QueryIOModID.vi`.
2. На лицевой панели FlexRIO_Host_QueryIOModID.vi введите в элемент управления RIO Device такое значение, которое соответствует имени RIO устройства модуля NI FlexRIO FPGA, к которому подключен ваш адаптеру\. Чтобы узнать, какое имя RIO устройства соответствует вашему модулю NI FlexRIO FPGA, вы можете запустить программу Measurement and Automation Explorer (MAX) и зайти в раздел **Devices and Interfaces»RIO Devices**. Если в вашей системе только одно RIO устройство, то, как правило, его имя – `RIO0`.
3. Запустите VI. Если VI запустился успешно, без ошибок, то на индикатор IO Module ID на лицевой панели VI выведется идентификатор подключенного адаптера.



В библиотеке `FlexRIO_HostIntarface.llb` содержатся дополнительные VI, которые можно использовать для считывания и записи произвольных ячеек EEPROM. Эти VI можно также применять для инициирования элементарных циклов шины I^2C. За более подробной информацией об этих VI обратитесь к раделу *NI FlexRIO Reference and Procedures* в справке *LabVIEW Help*.

Карта адресов EEPROM

В таблице приведено описание карты адресов EEPROM адаптера.

Таблица 9-1. Карта ячеек памяти EEPROM

Байтовый адрес	Размер (байты)	Имя поля	Обязательно?
0x0	2	Vendor ID	Да
0x2	2	Product ID	Да
0x4	4	Serial Number	Нет
0x8	24	Reserved	Нет
0x20	224	User Space	Нет

Изготовители адаптеров могут хранить дополнительно 32-битовый серийный номер в поле Serial Number EEPROM.

Оставшуюся часть EEPROM занимает поле User Space. Структура и назначение этого фрагмента памяти полностью определяется изготовителем адаптера. Например, там могут храниться калибровочные константы АЦП.

Доступ к сигналам шины I^2C является совместным с встроенным в адаптер блоком CLIP, это обеспечивает прямой доступ FPGA к EEPROM. За более подробной информацией обратитесь к разделу *EEPROM* в главе 3, *Интерфейс и протокол адаптера*. Дополнительная информация о сигналах шины I^2C приведена в таблице 10-3, *Основные сигналы интерфейса I^2C^**.

Создание файла конфигурации адаптера (.tbc)

Чтобы задать в LabVIEW конкретные электрические характеристики адаптера, вам необходимо создать файл конфигурации адаптера с расширением `.tbc`. Информация об этих характеристиках используется LabVIEW FPGA в процессе компиляции, чтобы правильно задать уровни напряжений V_{ccoA}/V_{ccoB}, определить ожидаемый идентификатор адаптера в процессе последовательности распознавания и правильно сконфигурировать стандартный ввод-вывод FPGA для формирования сигналов ввода-вывода общего назначения на разъеме интерфейса с адаптером.

Наличие файла конфигурации адаптера дает также возможность выбирать конфигурацию адаптера с помощью пользовательского интерфейса в LabVIEW проекте. Все файлы конфигурации адаптера автоматически нумеруются в папке `IO Modules` на жестком диске, эта папка находится по следующему адресу:

- Windows 2000/XP
  `C:\Documents and Settings\All Users\Shared Documents\National Instruments\FlexRIO\IO Modules`

- Windows 7/Vista
  `C:\Users\Public\Documents\National Instruments\FlexRIO\IO Modules`

NI рекомендует создавать в папке `IO Modules` специальную папку под конкретного изготовителя и помещать туда файлы конфигурации адаптера. Создание такой папки для ваших файлов `.tbc` помогает организовать более упорядоченное хранение файлов в случае, если в одной и той же системе инсталлированы адаптеры нескольких изготовителей. В процессе конфигурирования устройства и создания VI, поддерживающее NI FlexRIO FPGA программное обеспечение автоматически нумерует все файлы в папках, созданных для каждого изготовителя.

Чтобы создать файл конфигурации адаптера (`.tbc`), который с помощью LabVIEW будет определять характеристики адаптера, выполните следующие действия:

4. Перейдите в папку IO Modules и создайте там папку под конкретного изготовителя, в которой будут находиться файлы .tbc для нового адаптера.
5. Создайте файл конфигурации (.tbc) вашего адартера.

   Пример файла .tbc имеет следующий путь:

- Windows 2000/XP

  C:\Documents and Settings\All Users\Shared Documents\National Instruments\FlexRIO\Module Development Kit\Examples\IO Module\ExampleIOModule.tbc
- Windows 7/Vista

  C:\Users\Public\Documents\National Instruments\FlexRIO\Module Development Kit\Examples\IO Module\ExampleIOModule.tbc

  Вы можете использовать этот файл в качества образца для вашего адаптера. В этом случае убедитесь в том, вы изменили требуемые значения, описанные в разделе *Параметры конфигурации адаптера в tbc-файле*, и переименуйте файл для вашего адаптера.

6. Сохраните файл .tbc в папке, созданной при выполнении пункта 1.

Параметры конфигурации адаптера в tbc-файле

Файлы конфигурации адаптера (.tbc) используют стандартный синтаксис INI-файле. Далее приведены подробные описания каждого поддерживаемого параметра конфигурации в файле .tbc. Кроме того, приведен пример файла.tbc.

Параметры конфигурации общего назначения

Обязательной в файле.tbc является секция General, в которой описываются основные сведения об адаптере. Параметры конфигурации, содержащиеся в секции General приведены в таблице 9-2.

Таблица 9-2. Параметры конфигурации, содержащиеся в секции General

Наименование ключа	Тип данных	Описание
FormatVersion	Float	Определяет версию документа создаваемого вместе с файлом конфигурации адаптера. Начальное значение устанавливается равным `1.0`. **Примечание**: Если в файле есть ключи IoModSyncClock или IoModSyncSource, данному параметру должно быть присвоено значение `1.1`.
Manufacturer	String	Название изготовителя адаптера, которое отображается в диалоговом окне IO Module Properties в проекте LabVIEW, в котором используется адаптер. **Примечание**: В название производителя нельзя включать следующие символы: `,  ;  :`
Model	String	Название модели адаптера, которое отображается в проекте LabVIEW, в котором используется адаптер. **Примечание**: В название модели нельзя включать следующие символы: `,  ;  :`
Description	String	Общее описание функциональных возможностей адаптера. Эта информация отображается в диалоговом окне IO Module Properties в проекте LabVIEW, в котором используется адаптер. При форматировании этого описания Вы можете использовать последовательность `\n` для форматирования строк символами end-of-line.
VccoALevel	Float	Уровень напряжения V_{ccoA} (В), на который должен быть сконфигурирован банк ввода-вывода. Допустимые значения: 1.2, 1.5, 1.8, 2.5 и 3.3.
VccoBLevel	Float	Уровень напряжения V_{ccoB} (В), на который должен быть сконфигурирован банк ввода-вывода. Допустимые значения: 1.2, 1.5, 1.8, 2.5 и 3.3.

Таблица 9-2. Параметры конфигурации, содержащиеся в секции General (Продолжение)

Наименование ключа	Тип данных	Описание
IOModuleID	U32	Уникальный идентификатор адаптера, который хранится в EEPROM идентификации. Этому ключу должно быть присвоено значение, созданное вами при записи в EEPROM. Если в вашем адаптере нет EEPROM, специально предназначенного для идентификации, удалите данный ключ из файла конфигурации.
DefaultCLIP	String	Имя реализации блока CLIP по умолчанию для адаптера, это имя задается в теге `<CLIPDeclaration>` в CLIP XML файле. При создании нового проекта LabVIEW устройство FPGA определяется автоматически при подключении адаптера к модулю. Этот блок CLIP автоматически выбирается для использования совместно с адаптером. За более подробной информацией обратитесь к главе 10, *Создание подключаемого блока CLIP для адаптера*.
IoModSyncClock (необязательно)	String	Необязательный тэг, в котором определяется, как поддерживается синхронизация для устройств семейства NI PXIe-796*x*R. Если этого тэга нет, синхронизация адаптера не поддерживается.
IoModSyncClock Source (необязательно)	String	Необязательный тэг, в котором задается источник сигнала IoModSyncClock по умолчанию для устройств семейства NI PXIe-796*x*R. Этот тэг используется только в том случае, если параметру IoModSyncClock присвоено значение SUPPORTED или REQUIRED. Если тэга IoModSyncClock нет, параметру IoModSyncClockSource присваивается значение по умолчанию PXI-CLK10.

IOModuleID – идентификатор адаптера

Ключом `IOModuleID` определяется идентификатор для вашего адаптера, Значение `IOModuleID` должно храниться в файле конфигурации в шестнадцатеричном формате с префиксом `0x`.

Далее приведен пример задания значения параметра `IOModuleID` в файле конфигурации адаптера:

```
IOModuleID=0xFFFF0001
```

В этом примере `0xFFFF` — идентификатор поставщика, а `0x0001` — идентификатор изделия.

Примечание: Если в конфигурируемом адаптере нет EEPROM, то параметр необходимо удалить `IOModuleID` из файла `.tbc`.

V_{cco} – уровни напряжений

Значения уровней напряжений V_{ccoA}/V_{ccoB} для банка задаются в файле конфигурации адаптера. Эти значения устанавливаются разработчиком адаптера, и их нельзя изменять в процессе работы из LabVIEW PFGA. Допустимые значения V_{cco} для каждого банка: 1.2 В, 1.5 В, 1.8 В, 2.5 В и 3.3 В.

Внимание! Очень важно, чтобы выбранное значение напряжения соответствовало электрическим характеристикам соответствующего адаптера, в противном случае возможен риск выхода из строя адаптера или модуля NI FlexRIO FPGA. National Instruments не несет никакой ответственности за последствия любых повреждений вызванных такими нарушениями.

Значения параметра IOModSyncClk (только для PXIe-796*x*R)

Для синхронизации с адаптерами модуль NI FlexRIO PXIe FPGA генерирует LVPECL-сигнал IOModSyncClk, который может формироваться из сигналов PXI_Clk10 или DStarA (рисунок 9-1).

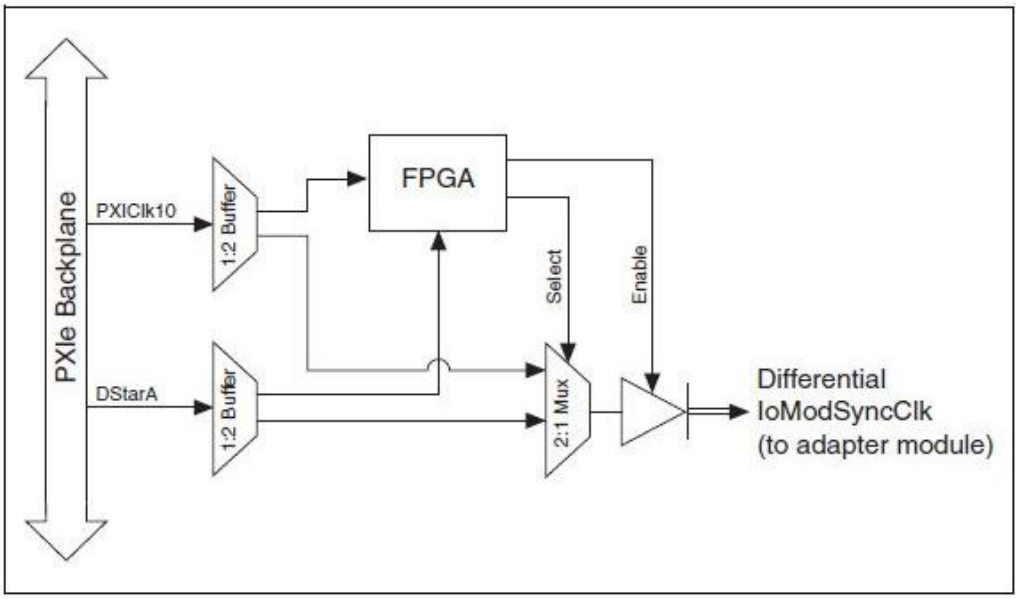


Рис. 9-1. Блок-схема формирования сигнала IOModSyncClk

PXIe backplane – объединительная плата PXIe, Buffer – буфер, Select – выбор, Enable – сигнал разрешения, Differential IoModSyncClk (to adapter module) – дифференциальный сигнал IoModSyncClk (к адаптеру)

За более подробной информацией о сигнале IoModSyncClk и использованию его в адаптере обратитесь к разделу *IoModSync* главы 4, *О разработке электрической схемы*. Подробная информация о способах синхронизации приведена в параграфе *NI FlexRIO FPGA Module Base Clock Properties* раздела *NI FlexRIO Reference and Procedure* в справке *LabVIEW Help*.

Разрешение сигнала IoModSyncClk

Чтобы разрешить сигнал IoModSyncClk, в секцию **General** файла `.tbc` для соответствующего адаптера необходимо включить два дополнительных ключа:

- IoModSyncClock — (необязательный) определяет, как будет осуществляться синхронизация. Если этот ключ отсутствует, то адаптер не синхронизируется. Данный параметр может принимать следующие значения:
  - UNSUPPORTED — вывод IoModSyncClk находится в третьем состоянии.
  - SUPPORTED — сигнал IoModSyncClk может быть разрешен или переведен в третье состояние в пункте **Sync Clock** меню **IO Module Properties**. По умолчанию он разрешен.
  - REQUIRED — сигнал IoModSyncClk всегда разрешен.
  - PXICLK10REQUIRED — сигнал IoModSyncClk всегда разрешен и формируется из сигнала PXI_Clk10
  - DSTARAREQUIRED — сигнал IoModSyncClk всегда разрешен и формируется из сигнала DStarA
- IoModSyncClockSource — (необязательный) задает источник сигнала по умолчанию. Этот параметр используется только тогда, когда ключу IoModSyncClock присвоено значение SUPPORTED или REQUIRED. Если ключ IoModSyncClockSource отсутствует, в качестве источника сигнала по умолчанию используется PXI_Clk10. Этот тэг может принимать следующие значения:
  - CLK10: источник – сигнал PXI_Clk10.
  - DSTARA: источник – сигнал DStarA.

Если ключу IoModSyncClock присвоено значение SUPPORTED или REQUIRED, то вы можете также выбрать настройки этого параметра в проекте LabVIEW из контекстного меню. Для этого щелкните правой кнопкой мыши по пункту **IO Module** в разделе FPGA Target в окне Project Explorer и выберите пункт **Properties**, чтобы вывести на экран диалоговое окно **IO Module Properties**. Управление настройками сигнала IoModSyncClk осуществляется из пункта Sync Clock в категории **Details**.

Если в файле `.tbc` ключу IoModSyncClockSource присвоено значение SUPPORTED или REQUIRED, для формирования сигнала IoModSyncSource выбирается источник по умолчанию. Значение, выбранное в категории Details в окне IO Module Properties переопределяет заданное по умолчанию в файле `.tbc` значение параметра IoModSyncClockSource.

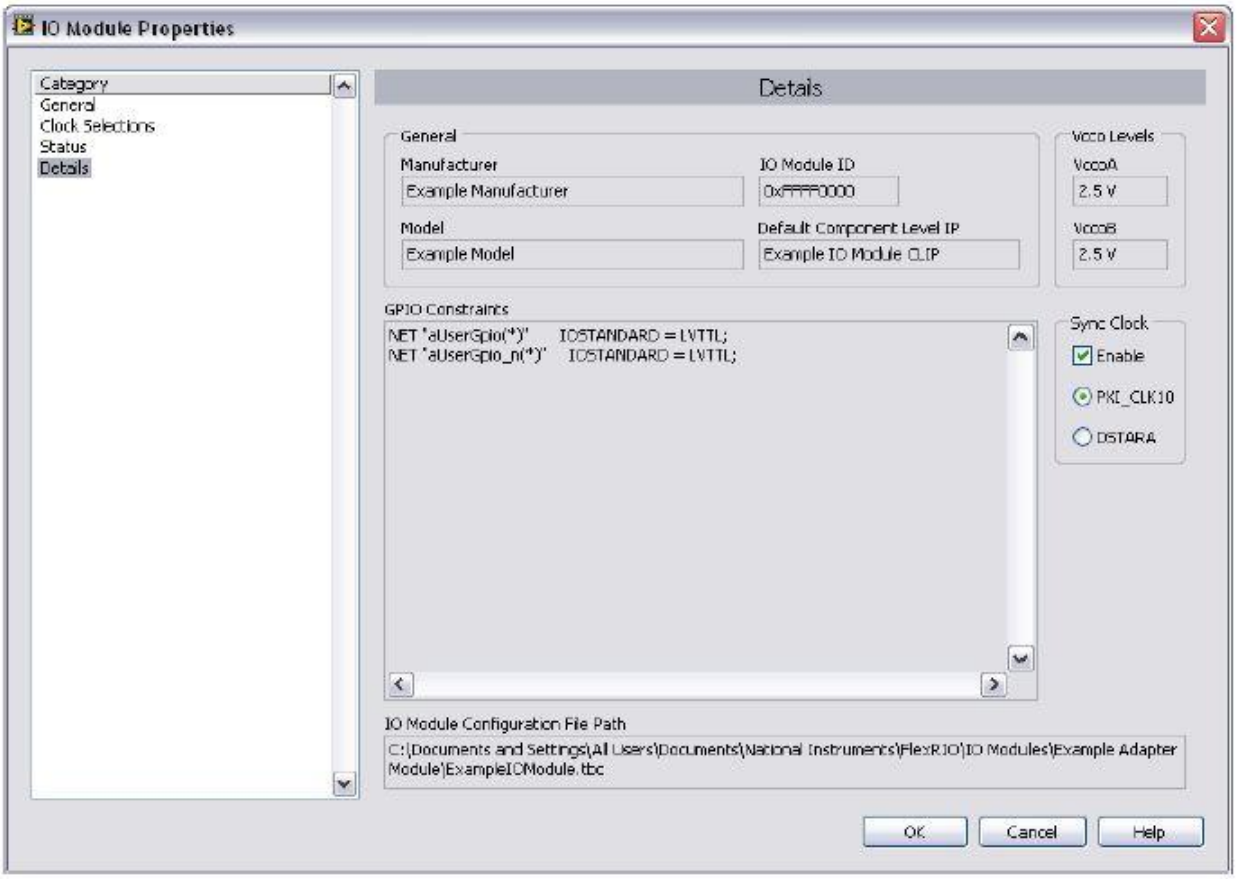


Рис. 9-2. Синхронизация Sync Clock разрешена в окне IO Module Properties

Источник сигнала для формирования сигнала IoModSyncClk, а также его разрешение или запрещение выбирается в FPGA в процессе компиляции. Чтобы изменить эти настройки, необходимо заново откомпилировать FPGA VI.

Совместимость с FlexRIO PXI-795*x*R

Адаптер совместим с модулем типа FlexRIO PXI-795*x*R, если соответствующий файл `.tbc` не содержит ключ IoModSyncClock, или если этот ключ есть, и ему присвоено значение UNSUPPORTED или SUPPORTED. Все другие значения приведут к выдаче сообщения об ошибке, заключающейся в том, что адаптер не поддерживается.

Ограничения значений параметров в секции Constraints файла . tbc

Секция Constraints является обязательной и предназначена для указания информации, которая определяет ограничения при компиляции для контактов FPGA модуля, относящихся к интерфейсу адаптера. Синтаксис данных в этом разделе такой же, как и у исходных UCF данных, используемых в среде Xilinx ISE. Данные об ограничениях прикрепляются к UCF файлу, который используется в процессе компиляции FPGA.

Секцию Constraints следует использовать, чтобы задать правильные ограничения в соответствии со стандартом на электрические сигналы ввода-вывода, который применяется для каждой линии ввода-вывода общего назначения (GPIO). Эти ограничения зависят от настроек уровней напряжений V_{ccoA}/V_{ccoB}, которые также задаются в файле `.tbc`. Как и уровни V_{ccoA}/V_{ccoB}, значения параметров в секции Constraints должны быть заданы разработчиком адаптера, и их нельзя изменять в процессе работы из LabVIEW FPGA. В секцию Constraints включены все ограничения на физическом уровне, в том числе ограничения на стандартные сигналы ввода-вывода, нагрузочную способность, сопротивление оконечной нагрузки.

Внимание! Ограничения на уровни напряжения на пользовательских контактах ввода-вывода общего назначения (UserGPIO) необходимо устанавливать в соответствии со стандартом на сигналы ввода-вывода. Если вы не зададите эти ограничения, то компилятор использует стандарт ввода-вывода по умолчанию, что может помешать правильному функционированию линий ввода-вывода, и, вероятно, приведет к выходу из строя модуля NI FlexRIO FPGA или адаптера.

Контакты UserGPIO модуля NI FlexRIO FPGA могут быть настроены в соответствии с любым из стандартов ввода-вывода компании Xilinx с учетом следующих условий:

- На шине V_{ccoA}/V_{ccoB} устанавливается напряжение V_{cco} в соответствии с этим стандартом
- Требования стандарта не распространяются на опорное напряжение V_{ref}
- Если разрешен стандарт DCI, то должно допускаться подключение к контакту VRN/VRP резистора R=50 Ом

В таблице 9-3 приведены уровни напряжения, которые поддерживаются на шинах питания V_{ccoA}/V_{ccoB} в соответствии со стандартами от компании Xilinx.

Таблица 9-3. Стандарты Xilinx, поддерживаемые модулями NI FlexRIO

Стандарт ввода-вывода	V_{cco}
LVTTL	3.3 В
LVCMOS*xx*[*]	1.2 В, 1.5 В, 1.8 В, 2.5 В и 3.3 В
LVDCI*xx(R=50 Ом)*[*]	1.5 В, 1.8 В, 2.5 В и 3.3 В
LVDS_25 (внутри входы снабжены оконечным параллельным дифференциальным сопротивлением 100 Ом)	2.5 В
[*] *xx* — определяется выбранным значением напряжения	

Примечание: Стандарты ввода-вывода, приведенные в таблице 9-3, определяются спецификациями компании Xilinx, которые могут

быть изменены самой компанией. Чтобы определить самые свежие ограничения на сигналы ввода-вывода для устройства NI FlexRIO, обратитесь к документации Xilinx, доступной на сайте www.xilinx.com. Перечень документов, подходящих для приложений NI FlexRIO, приведен в приложении C, *Ссылки на документацию Xilinx*.

За более подробной информацией об уровнях напряжений для банков ввода-вывода FPGA, обратитесь к разделу *Напряжения банков ввода-вывода FPGA* главы 4, *О разработке электрической схемы,*

В приведенной ниже в качестве примера секции Constraints ограничения для каждого из контактов GPIO будут установлены в соответствии со стандартом LVTTL.

```
[Constraints]

NET "aUserGpio(*)"          IOSTANDARD = LVTTL;

NET "aUserGpio_n(*)"        IOSTANDARD = LVTTL;
```

В следующем примере для всех линий ввода-вывода общего назначения GPIO устанавливается стандарт LVDCI_33, для входа LVTTL GClk — LVTTL, для входа LVDS GClk — LVDS_25. В этом примере также разрешено подключение дифференциальной оконечной нагрузки на входе LVDSGclk.

```
[Constraints]

NET "aUserGpio(*)"           IOSTANDARD = LVDCI_33;

NET "aUserGpio_n(*)"         IOSTANDARD = LVDCI_33;

NET "UserGClkLvtt1"          IOSTANDARD = LVTTL;

NET "UserGClkLvds"           IOSTANDARD = LVDS_25;

NET "UserGClkLvds_n"         IOSTANDARD = LVDS_25;

INST "*IBUFGDSx*"            DIFF_TERM = TRUE;
```

Примечание: Дифференциальная нагрузка 100 Ом размещается в буфере глобального синхроимпульса LVDSGclk.

Примечание: Чтобы обеспечить правильную компиляцию информации об ограничениях для вашего адаптера, NI рекомендует использовать в качестве разделителей круглые скобки ( ) как в файлах `.ucf`, так и в файлах `. tbc`, например `aUserGpio(*)`.

Пример

Ниже приведен пример правильно созданного файла .tbc.

```
[General]
FormatVersion=1.1;
Manufacturer=Example Manufacturer;
Model=Example Model
Descriprion=This is an example adapter module configuration
file.
VccoALevel=3.3
VccoBLevel=3.3
IOModuleID=0xFFFF0001
DefaultCLIP=ExampleIOModuleCLIP
IoModSyncClock=SUPPORTED
IoModSyncClockSource=CLK10

[Constraints]
NET "aUserGpio(*)"         IOSTANDARD = LVTTL;
NET "aUserGpio_n(*)"       IOSTANDARD = LVTTL;
```

Примечание: Ключи IoModSyncClock и IoModSyncClockSource в файле .tbc поддерживаются только для модулей PXIe796*x*R..

10. Создание подключаемого блока CLIP для адаптера

Чтобы передавать внешние сигналы с вашего адаптера в LabVIEW VI, вам потребуется дополнительно создать код на языке HDL в проект LabVIEW FPGA. Создание специализированного блока CLIP позволит запрограммировать взаимодействие FPGA с адаптером на схемном уровне.

Устройства FlexRIO поддерживают CLIP-блоки двух типов: определяемый пользователем на программном уровне и подключаемый. Определяемый пользователем блок CLIP позволяет вставлять код HDL IP в целевое устройство LabVIEWобеспечивая непосредственное взаимодействие программного кода VHDL с FPGA VI. Подключаемый блок CLIP предоставляет такие же функциональные возможности взаимодействия, что и блок CLIP, определяемый пользователем, и также обеспечивает прямую связь интерфейса через разъем адаптера и FPGA VI. На рисунке 2-4, *Диаграмма интеграции LabVIEW FPGA и подключаемых аппаратных средств (CLIP)* показан в графической форме общий вид блока CLIP и его связь с оборудованием FlexRIO.

Чтобы встроить блок CLIP в проект LabVIEW, модуль LabVIEW FPGA должен поддерживать работу с IP-блоками, которые можно использовать в качестве блоков CLIP. Кроме того, для блока CLIP нужен соответствующий XML-файл объявлений, в котором описываются элементы IP. С помощью этого файла модуль LabVIEW FPGA добавляет блок IP в проект LabVIEW. Чтобы использовать блок CLIP в адаптере, выполните следующие действия:

1. Создайте или получите блок IP, и, если необходимо, задайте дополнительно ограничения для IP в адаптере в `ucf`-файле.
2. Создайте XML-файл объявлений для блока CLIP, чтобы определить средства ввода-вывода адаптера для LabVIEW FPGA.
3. Сконфигурируйте ваш адаптер для использования блока CLIP в проекте LabVIEW.

Создание или приобретение блока IP для адаптера NI FlexRIO

Чтобы использовать подключаемый блок IP (CLIP) с вашим адаптером, в первую очередь необходимо создать или получить блок IP в формате VHDL или другого HDL кода, оформленного в формат VHDL, чтобы

откомпилировать его для целевого устройства FPGA. Подобный блок IP выполняет следующие задачи:

- непосредственно управляет выводами через интерфейсный разъем адаптера FPGA
- реализует сигналы интерфейса с LabVIEW FPGA, что позволяет LabVIEW взаимодействовать с адаптером. Интерфейс, открытый для LabVIEW FPGA, полностью настраивается разработчиком блока CLIP для адаптера.
- реализует любые специфические функциональные возможности для конкретного адаптера.

Чтобы помочь приступить к разработке блока CLIP для адаптера, компания National Instruments предоставляет примеры файлов подключаемого блока CLIP.

Пример блока CLIP состоит из следующих файлов:

- `ExampleIOModuleCLIP.vhd`
- `ExampleIOModuleCLIP.ucf`
- `ExampleIOModuleCLIP.xml`

Образцы файлов подключаемого блока CLIP инсталлированы в следующие папки:

- Windows XP/2000
  `C:\Documents and Settings\All Users\Shared Documents\National Instruments\FlexRIO\Module Development Kit\Examples\IO Module`
- Windows 7/Vista
  `C:\Users\Public\Documents\National Instruments\FlexRIO\Module Development Kit\Examples\IO Module`

Далее описывается процесс создания нового подключаемого блока CLIP с использованием примеров. За дополнительной информацией по созданию блоков CILP обратитесь к темам *Integrating Third-Party IP (FPGA Module)* и *NI FlexRIO References and Procedures* в разделе *FPGA Module* справки *LabVIEW Help*.

Совет: Если вы разрабатываете новый подключаемый блок CLIP на основе файлов примера, в первую очередь скопируйте эти файлы в другую папку на жестком диске, чтобы их можно было изменять без всяких опасений.

Файл ExampleIOModuleCLIP.vhd

ExampleIOModuleCLIP.vhd – это VHDL файл верхнего уровня подключаемого блока CLIP, и поэтому он отвечает за определения порта интерфейса верхнего уровня блока CLIP. LabVIEW FPGA использует этот

интерфейс при компиляции блока CLIP. В настоящем разделе объясняется, что нужно изменить в файле примера, чтобы его можно было использовать для вашего адаптера.

Во-первых, следует встроить ваш блок IP в VHDL файл путем написания нового VHDL кода или изменения существующего файла, если это необходимо. Сигналы на разъеме ввода-вывода адаптера перечислены в интерфейсе порта ExampleIOModuleCLIP. Эти сигналы для адаптера жестко заданы, и, следовательно, требуются для реализации интерфейсного порта блока CLIP. В таблицах 10-1, 10-2 и 10-3 приведены дополнительные сигналы, доступные для использования в вашем блоке CLIP.

Таблица 10-1. Сигналы GPIO и CLK адаптера

Имя сигнала	Направление	Тип данных	Описание
aUserGpio	Двунаправленный	std_logic_vector (с 65 до 0)	66 контактов ввода-вывода общего назначения FPGA (без инверсии)
aUserGpio_n	Двунаправленный	std_logic_vector (с 65 до 0)	66 контактов ввода-вывода общего назначения FPGA (инверсных)
rIoModGpioEn	к блоку CLIP	std_logic	Сигнал разрешения буфера линий ввода-вывода общего назначения. Если этот сигнал имеет высокий логический уровень, то можно без опасений разрешать буферы для сигналов на линиях ввода-вывода. Если этот сигнал имеет низкий уровень, буферы должны быть в третьем состоянии.
UserGClkLvds	к блоку CLIP	std_logic	Дифференциальный вход внешней синхронизации (без инверсии). Этот сигнал маршрутизируется с контакта глобальной синхронизации FPGA.
UserGClkLvds_n	к блоку CLIP	std_logic	Дифференциальный вход внешней синхронизации (инверсный). Этот сигнал маршрутизируется с контакта глобальной синхронизации FPGA.

UserGClkLvttl	к блоку CLIP	std_logic	Несимметричный вход внешней синхронизации. Этот сигнал маршрутизируется с контакта глобальной синхронизации FPGA.

Таблица 10-2. Сигналы CLK, передаваемые в LabVIEW FPGA

Имя сигнала	Направление	Тип данных	Описание
IoModClipClock0	от блока CLIP	std_logic	Сигнал внешней синхронизации, передаваемый в LabVIEW FPGA. Этот сигнал доступен в качестве источника сигнала внешней синхронизации под именем `IO Module Clock 0`.
IoModClipClock1	от блока CLIP	std_logic	Сигнал внешней синхронизации, передаваемый в LabVIEW FPGA. Этот сигнал доступен в качестве источника сигнала внешней синхронизации под именем `IO Module Clock 1`.

Таблица 10-3. Основные сигналы интерфейса I^2C^*

Имя сигнала	Направление	Тип данных	Описание
rLvFpgaReqI2cBus	от блока CLIP	std_logic	Чтобы запросить управление общей шиной I^2C**,** направьте на этот порт значение `1`. Этот запрос формируется только в том случае, если адаптер правильно идентифицирован и запитан. По окончании доступа по запросу всегда следует освобождать шину I^2C.
rLvFpgaAcqI2cBus	к блоку CLIP	std_logic	Этот сигнал имеет значение `1`, когда доступ к шине предоставлен по сигналу rLvFpgaReqI2cBus. Если этот сигнал имеет значение 0, команды, посылаемые контроллеру шины I^2C, игнорируются.

Таблица 10-3. Основные сигналы интерфейса I^2C^* (продолжение)

Имя сигнала	Направление	Тип данных	Описание
rLvFpgaI2cGo	от блока CLIP	std_logic	Присвойте этому сигналу значение 1, чтобы послать команду контроллеру шины I^2C. Проконтролируйте, чтобы все входы контроллера перед изменением этого сигнала имели высокий уровень. Контроллер I^2C защелкивает командный вход по нарастающему фронту этого сигнала и начинает обмен данными по шине шины I^2C. Не изменяйте этот сигнал пока сигнал LvFPGAI2CDone не примет значение `1`.
rLvFpgaI2cStart	от блока CLIP	std_logic	Установите этот сигнал в высокий уровень, чтобы послать стартовую последовательность I^2C перед началом передачи данных.
rLvFpgaI2cStop	от блока CLIP	std_logic	Установите этот сигнал в высокий уровень, чтобы послать завершающую последовательность I^2C в конце передачи данных.
rLvFpgaI2cRd	от блока CLIP	std_logic	Установите этот сигнал в высокий уровень, чтобы задать операцию чтения, в процессе которой контроллер I^2C будет возвращать число RdData с шины. Установите этот сигнал в низкий уровень, чтобы задать операцию записи, в процессе которой контроллер I^2C будет выдавать число WtData на шину.
rLvFpgaI2cWtData	от блока CLIP	std_logic_vector (биты 7..0)	8-битовое значение, передаваемое контроллером I^2C на шину во время записи.
rLvFpgaI2cAck	к блоку CLIP	std_logic	Доступен после операции передачи данных по шине I^2C. Значение 1 означает, что контроллер считывает с шины сигнал Ack.
rClktoSocket	к блоку CLIP	std_logic	Это копия сигнала 40 MHz RioClk, используемого по умолчанию на блок-диаграммах LabVIEW FPGA. Все сигналы шины I^2C с префиксом r синхронизированы с этим сигналом.

Таблица 10-3. Основные сигналы интерфейса I^2C^* (продолжение)

Имя сигнала	Направление	Тип данных	Описание
rLvFpgaI2cDone	к блоку CLIP	std_logic	Значение 1 означает, что контроллер завершил операцию. Этого значения необходимо ждать, прежде чем начинать чтение.
rLvFpgaI2cRdData	к блоку CLIP	std_logic_vector (биты 7..0)	8-битовое значение, считываемое с шины I^2C в процессе операции чтения. С этим числом следует работать по завершении операции. До завершения операции оно равно нулю.
*Все основные сигналы интерфейса I^2C синхронизированы с сигналом rClkToSocket			

После того, как блок IP вашего адаптера включен в блок CLIP, вам потребуется открыть доступ к интерфейсу LabVIEW FPGA, чтобы адаптер был доступен из LabVIEW VI. Набор сигналов этого интерфейса является настраиваемым и, следовательно, его можно сконфигурировать для конкретной области применения, в которой вы собираетесь использовать ваш адаптер. Каждый из этих сигналов должен быть добавлен в карту портов блока CLIP в VHDL файле верхнего уровня. К этим сигналам предъявляются следующие требования:

- Сигнал может быть направлен либо в блок CLIP, либо из него. Двунаправленные сигналы не поддерживаются.
- Тип данных сигнала должен быть одним из перечисленных ниже :
  - std_logic
  - std_logic_vector (биты 7..0)
  - std_logic_vector (биты 15..0)
  - std_logic_vector (биты 31..0)
- Если вы разработали ваш блок CLIP на основе примера, то следует переименовать объект верхнего уровня и VHDL файл, чтобы их имена соответствовали вашему адаптеру.

Использование сигналов внешней синхронизации в вашем модуле FlexRIO FPGA

При импортировании сигнала внешней синхронизации для блока CLIP вашего адаптера и/или вашего LabVIEW FPGA VI, необходимо учитывать несколько факторов, касающихся алгоритма работы блока CLIP и ограничений на входные сигналы синхронизации, указанных в UCF файле. Перечень синхронизируемых линий ввода-вывода общего назначения адаптеров приведены в разделе *Линии ввода-вывода общего назначения* главы 3, *Интерфейс и протокол адаптера*.

Компания NI требует, чтобы в любом синхронизируемом блоке CLIP учитывались следующие соображения относительно логических сигналов:

- Любые сигналы синхронизации, используемые в LV FPGA VI с линий IoModClipClock<0..1> должны быть стабильными и генерироваться непрерывно. Если эти сигналы нестабильны, то по ним *нельзя* синхронизировать логические схемы, генерируемые LabVIEW FPGA, например, при включении питания или сбросе. Используйте буфер, например, BUFGCE, со входом управления для запрещения нестабильного сигнала.
- Все сигналы синхронизации LV FPGA являются стабильными и генерируются непрерывно, если не подан сигнал aReset. Любые DCM/PLL схемы, использующие эти сигналы, также должны быть сброшены вслед за подачей сигнала aReset. Как упоминалось ранее, не следует использовать нестабильные сигналы для синхронизации логических схем LabVIEW FPGA или каких-нибудь других схем.

Компания NI рекомендует также учитывать следующие соображения при синхронизации вашего блока CLIP интерфейса:

- Для привязки входного синхросигнала к сетке тактовых сигналов FPGA следует использовать глобальный буфер синхронизации (BUFG) или локальный буфер (BUFR). Чтобы понять различия между вариантами буферов синхронизации и ограничениями для каждого из них, обратитесь к фирменной документации компании Xilinx.
- Для всех принимаемых или управляемых с помощью внешней синхронизации сигналов следует добавлять временные ограничения OFFSET.
- Любые элементы управления и индикаторы LabVIEW FPGA, размещенные в областях с внешней синхронизацией, могут оказаться причиной предупреждений, если к ним осуществляется доступ тогда, когда внешняя синхронизация запрещена. Если элементы управления/индикаторы требуются во внешних областях, структурируйте главный программный код таким образом, чтобы доступ к этим элементам был только тогда, когда внешняя синхронизация выполняется.

Файл ExampleIOModuleCLIP.ucf

Для реализации каждого блока IP могут потребоваться пользовательские настройки ограничений. Каждая реализация блока CLIP для адаптера может быть упакована со специальным файлом ограничений, чтобы затем использоваться в процессе компиляции. В общем случае в этом файле должны быть только ограничения, касающиеся синхронизации. В данный файл не должны включаться ограничения, касающиеся стандартов на уровни сигналов на контактах ввода-вывода FPGA.

Ограничения на стандарты уровней сигналов ввода-вывода FPGA описываются в файле конфигурации адаптера (.tbc). За информацией об ограничениях на сигналы обратитесь к параграфу *Создание файла конфигурации адаптера (*.tbc)* главы 9, *Конфигурирование даптера для использования с LabVIEW FPGA.*

Примечание: Чтобы гарантировать корректную компиляцию информации об ограничениях на ваш модуль адаптера, компания NI рекомендует использовать круглые скобки `()` в качестве разделителей для шин, как в ucf-файлах, так и tbc-файлах, например, `aUserGpio(*)`.

Если вы разработали ваш блок CLIP на основе примера, то внесите соответствующие изменения в файл ограничений для вашего адаптера, чтобы они были правильными для вашего блока IP, и измените имя этого файла на более подходящее для вашего адаптера. За более подробной информацией о временных ограничениях обратитесь к документации Xilinx, доступной на сайте `www.xilinx.com`. Перечень документов компании Xilinx, необходимых для приложения NI FlexRIO, приведен в приложении C, *Ссылки на документацию компании Xilinx.*

Файл ExampleIOModuleCLIP.xml

Завершающей частью разработки подключаемого блока CLIP для нового адаптера является создание файла объявлений, выполняет следующие функции:

- Определяет пути к каждому файлу с исходным текстом, обеспечивающему реализацию вашего блока CLIP
- Определяет имя объекта верхнего уровня для вашего блока CLIP
- Определяет набор сигналов, видимых как со стороны LabVIEW FPGA CLIP-интерфейса, так и со стороны аппаратного подключения интерфейса CLIP
- Определяет имя сокета (сокетов) CLIP, совместимых с этим блоком CLIP
- Определяет набор адаптеров, совместимых с этим блоком CLIP
- Описывает и определяет, каким образом ваши VHDL порты появятся в проекте LabVIEW FPGA

Чтобы приспособить пример XML файла для подключаемого блока CLIP создаваемого вами адаптера, добавьте в первую очередь интерфейсные сигналы со стороны порта LabVIEW FPGA в список интерфейсных сигналов в вашем XML файле. Все XML файлы объявлений блока CLIP содержат секцию `<Interfacelist>`, в которой определяются три различных типа интерфейсов: `Fabric`, `LabVIEW` и `Socket`. Каждый из упомянутых типов обозначается соответствующим значением параметра `<InterfaceType>` в секции `<Interface>`.

Например, в файле `ExampleModuleClip.xml` вы увидите определения всех этих трех типов интерфейсов. Каждый сигнал интерфейса порта верхнего уровня для подключаемого блока CLIP должен быть определен в одном из этих интерфейсов вашего CLIP XML файла. Однако, интерфейсы типа `Fabric` и `Socket` являются фиксированными для всех блоков CLIP адаптера, и их нельзя изменять. Интерфейс LabVIEW FPGA изменять можно, и это требует учитывать все сигналы CLIP интерфейса на стороне LabVIEW FPGA, которые вы определили в интерфейсе верхнего уровня. Вы увидите, что в данном примере интерфейс LabVIEW FPGA включает в себя три сигнала: Clock In, Data In и Data Out. Когда вы будете приспосабливать этот XML файл к вашему адаптеру, потребуется удалить эти сигналы и добавить те, что определены в вашей карте портов. За более подробной информацией о синтаксисе тега `<Signal>`, обратитесь к теме *Integrating Third-Party IP (FPGA Module)* в разделе *FPGA Module* справки *LabVIEW Help*.

Теперь, когда со стороны LabVIEW FPGA подключаемый CLIP интерфейс добавлен в ваш XML файл объявлений, необходимо обновить значение тега `<HDLName>`, чтобы оно соответствовало имени объекта верхнего уровня вашего блока CLIP.

Затем вам необходимо определить пути к каждому файлу с исходным текстом, который обеспечивает реализацию вашего блока CLIP. Для этого обновите тег `<ImplementationList>`. Каждый из тегов <Path> определяет путь к исходному файлу относительно расположения XML файла. Каждый из файлов, определенных в теге `<ImplementationList>` будет включен в процесс компиляции.

Теперь нужно определить подключаемый блок CLIP так, чтобы он был совместимым с вашим адаптером на физическом уровне. Эта информация указывается в теге `<CompatibleIOModuleListr>`. Список модулей может состоять из одного или более тегов `<IOModule>`, каждый из которых идентифицирует отдельный адаптер, совместимый с рассматриваемым блоком CLIP. Если ваш адаптер имеет идентификатор IO Module ID, заданный в файле `.tbc` и запрограммированный в EEPROM, то с помощью этого параметра следует однозначно определять адаптер. Если у вашего адаптера нет такого идентификатора, то вы можете продолжать идентификацию адаптера по имени.

Параметр `<IO Module>` имеет следующий синтаксис:

Для идентификации адаптера по идентификатору IO Module ID:

`IOModuleID:<IO Module ID` (в шестнадцатеричном коде)>

Например: `IOModuleID:0xFFFF0001`

Для идентификации адаптера по имени:

`Name:<Manufacturer Name>::<Model Name>`

Например: `Name:Example Manufacturer::Example Name`

Наконец, измените имя тэга `<CLIPDeclaration>` на наглядное и подходящее для вашего подключаемого блока CLIP, которое будет отображаться в пользовательском конфигурационном интерфейсе LabVIEW FPGA. В тэг `<Description>` добавьте соответствующее описание блока CLIP. Измените имя XML файла на какое-нибудь подходящее для вашего блока CLIP.

За более подробной информацией по добавлению файла объявлений для блока CLIP в проект LabVIEW FPGA, обратитесь к теме *Integrating Third Party IP (FPGA Module)* в разделе *FPGA Module* справки *LabVIEW Help*. В этой части справки содержится перечень тэгов, которые вы можете использовать в файле объявлений. Кроме этих XML тэгов, в файлах объявлений для подключаемого блока CLIP адаптера модуля NI FlexRIO требуются тэги, которыми определяется интерфейс между FPGA и схемой адаптера. В таблице 10-4 приведены XML тэги, используемые в файле объявлений подключаемого блока CLIP. Следующие XML тэги подключаемого блока CLIP необходимы в вашем файле объявлений.

Таблица 10-4. Тэги в XML файле объявлений подключаемого блока CLIP

Тег	Родительский тег	Описание
CLIPVersion	CLIPDeclaration	Версия конкретной реализации блока CLIP. Используйте этот тэг для задания блока CLIP, как единого целого. Задание производится в следующем формате: `<major>.<minor>.<revision>` Пример: `1.0.0`
Description	CLIPDeclaration	Описание блока CLIP, отображаемое в интерфейсе оператора. Для форматирования строки с помощью символов end-of-line можно использовать последовательность `\n`.
CompatibleIOModuleList	CLIPDeclaration	Идентифицирует набор адаптеров, совместимых с этим блоком CLIP. Данный тэг содержит один или более тэгов `IOModule`.

IOModule	CompatibleIOModuleList	Идентифицирует отдельный адаптер, совместимый с конкретным блоком CLIP. Вы можете идентифицировать адаптер по его идентификатору (IO Module ID) или по имени (Name). Если адаптер имеет идентификатор, всегда используйте IO Module ID, это предпочтительнее, чем использование имени.
		• Для идентификации по IO Module ID используйте следующий синтаксис:
		`IOModuleID:<IO Module ID>`
		Пример: `IOModuleID:0xFFFF0001`
		• Для идентификации по имени используйте следующий синтаксис:
		`Name:<Manufacturer>::<Model>`
		Пример: `Name:Example Manufacturer::Example Module`

CompatibleCLIPSocketList	CLIPDeclaration	Идентифицирует набор сокетов CLIP, совместимых с этим блоком CLIP.
Socket	CLIPDeclaration	Идентифицирует отдельный сокет блока CLIP, совместимый с конкретным блоком CLIP. Для подключаемого блока CLIP этот тэг всегда должен быть определен как `FlexRIO-IOModule`.

Примечание: Чтобы облегчить создание XML файлов для блока CLIP адаптера модуля NI FlexRIO, компания NI предоставляет шаблон XML файла, который имеет имя AdapterModuleCLIPDeclaration.xsd и инсталлирован в папку:

- Windows XP/2000:
  `C:\Documents and Settings\All Users\Shared Documents\National Instruments\FlexRIO\Module Development Kit\Design Files`

- Windows 7/Vista:
  `C:\Users\Public\Documents\National Instruments\FlexRIO\Module Development Kit\Design Files`

Конфигурирование адаптера модуля NI FlexRIO в LabVIEW

Прежде чем создавать новый проект LabVIEW, в котором используется ваш блок CLIP, в первую очередь необходимо убедиться в том, что этот блок CLIP хранится в папке `IO Modules` на жестком диске в ранее созданной вложенной папке. Компания NI рекомендует хранить блок CLIP вместе с файлом `.tbc`.

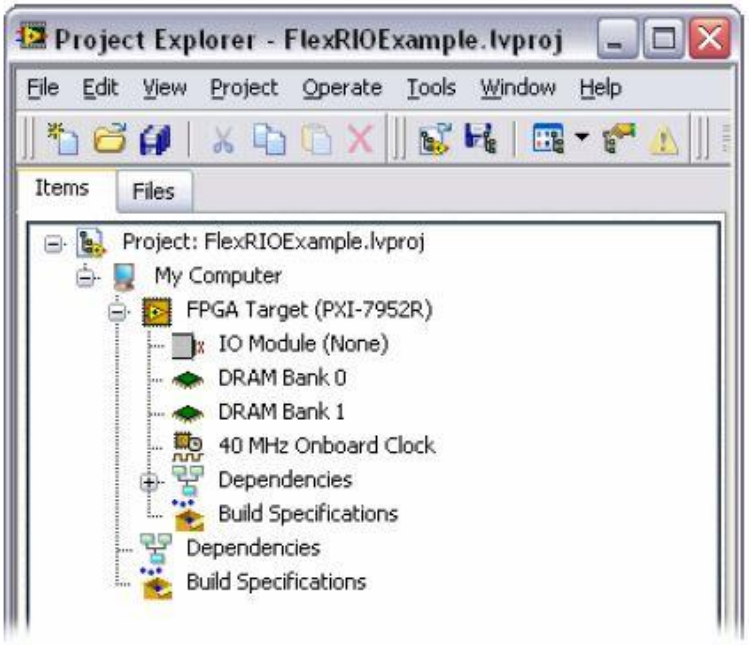
Хранение блока CLIP в папке `IO Modules` облегчает интеграцию файлов, поддерживающих ваш адаптер, в среде разработки LabVIEW, которая автоматически обнаруживает любые блоки CLIP, которые хранятся в папке `IO Modules`, и предоставляет возможность выбора их в вашем проекте. Использование папки `IO Modules` дает также возможность разработать свой инсталлятор, который автоматически устанавливает средства поддержки для вашего адаптера.

Примечание: На программном уровне адаптеры NI FlexRIO воспринимаются, как модули ввода-вывода.

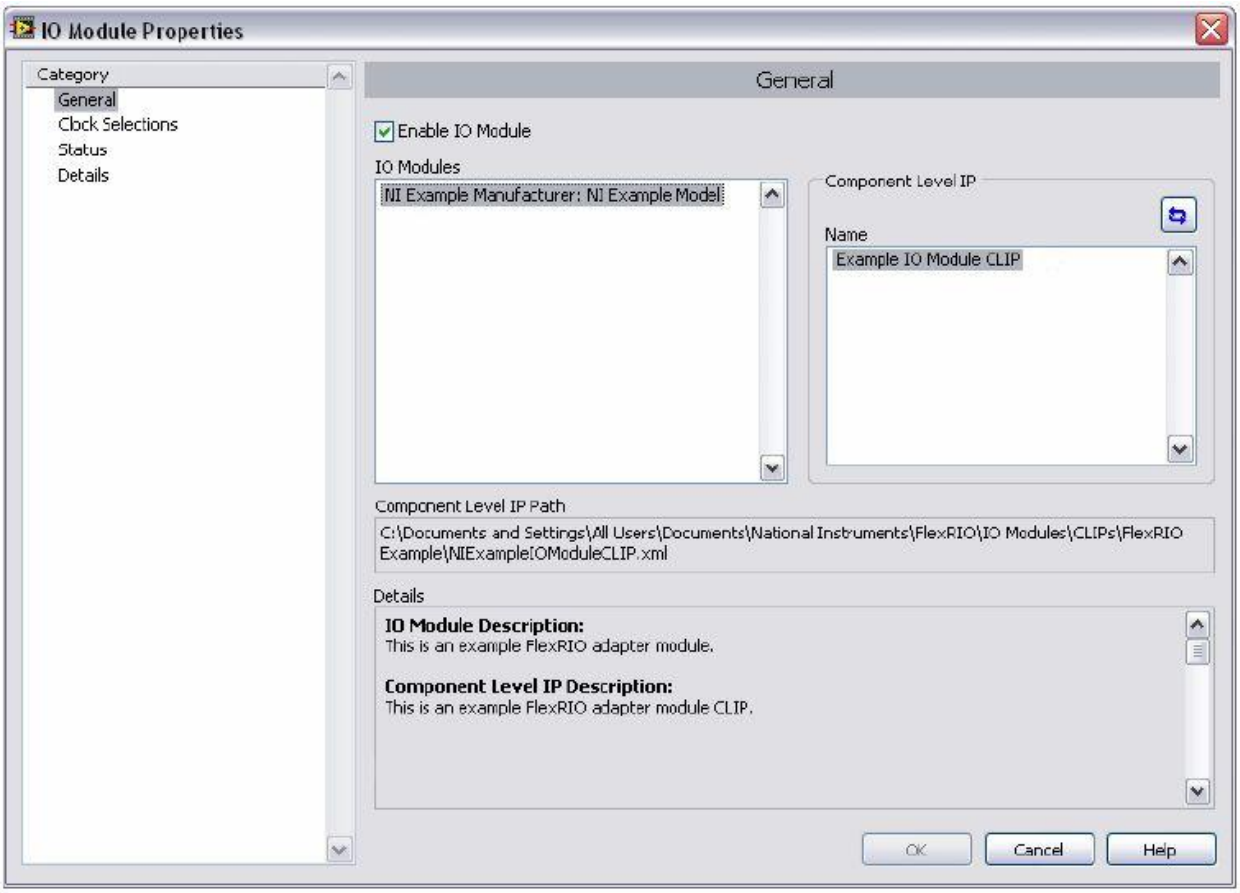
Добавление вашего адаптера и модуля ввода-вывода в проект LabVIEW

Чтобы использовать ваш адаптер в LabVIEW, выполните следующие действия:

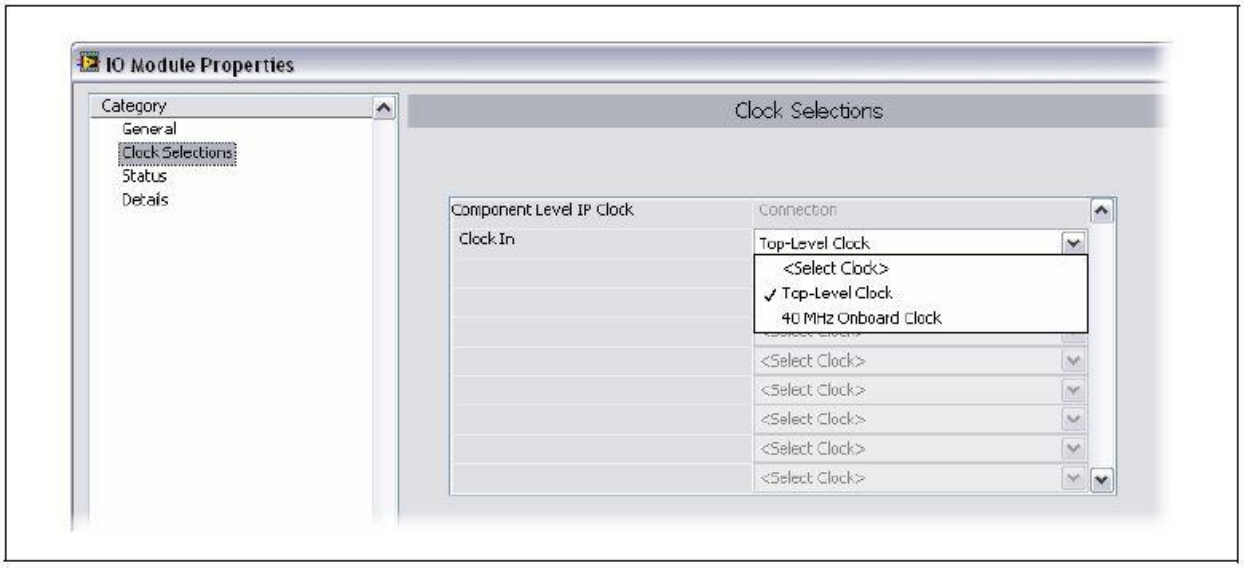
1. Создайте новый проект LabVIEW.
2. Добавьте в проект ваше целевое устройство FPGA. В окне **LabVIEW Project Explorer** появится модуль NI FlexRIO FPGA с несконфигурированным адаптером.



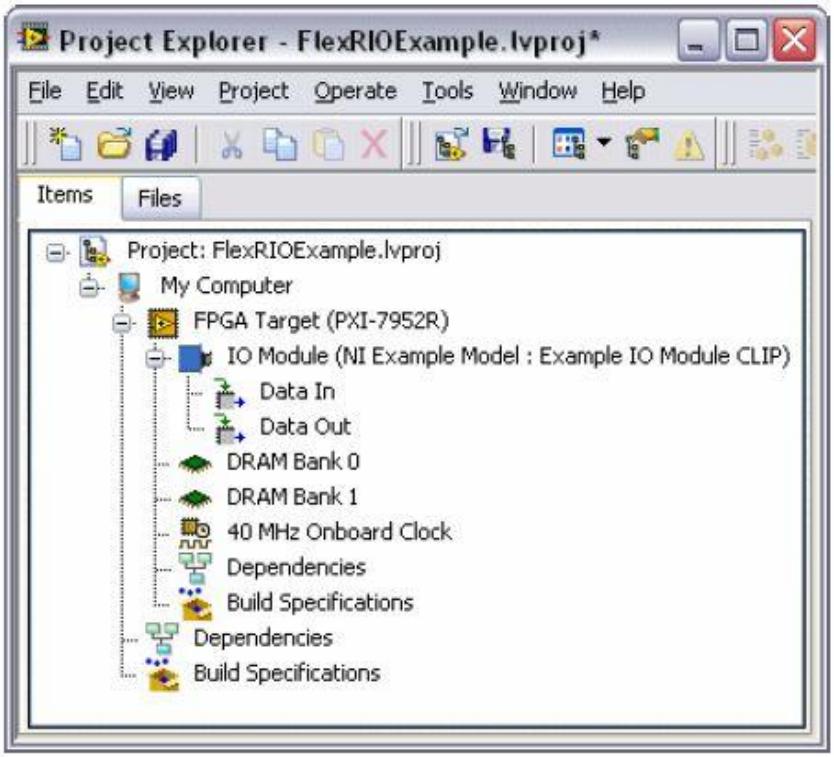
3. Чтобы сконфигурировать адаптер, щелкните правой кнопкой мыши по пункту **IO Module** в разделе FPGA Target и выберите в контекстном меню пункт **Properties**, чтобы вывести на экран диалоговое окно **IO Module Properties**.
4. Чтобы разрешить адаптер, установите флажок **Enable IO Module**, и выделите ваш адаптер в списке **IO Modules**.
5. В списке **Component Level IP** должен появиться подключаемый блок CLIP, созданный для вашего адаптера. Выделите в этом списке блок CLIP. Описания адаптера и блока CLIP отобразятся в окне **Details**. Если в файле `.tbc` или CLIP XML файле были допущены синтаксические ошибки, в окне Details будут выведены сообщения об этих ошибках. Чтобы все элементы отображались правильно, ошибки необходимо исправить.



6. В категории **Clock Selections** сконфигурируйте, если это необходимо, сигналы синхронизации блока CLIP.



7. Щелкните по кнопке **OK**. Ваше устройство ввода-вывода со стороны LabVIEW FPGA отобразится под пунктом IO Module в проекте. Теперь ваш адаптер готов к работе.

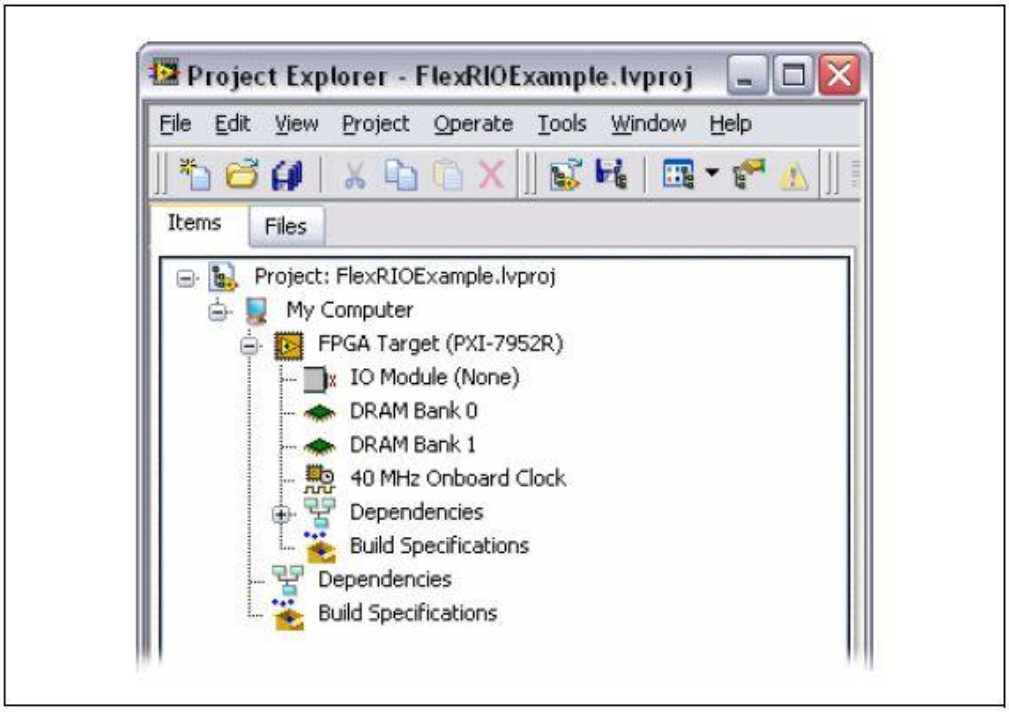


Если вы не смогли выделить ваш адаптер или блок CLIP, возможные решения проблемы можно найти в приложении B, *Идентификация и разрешение проблем.*

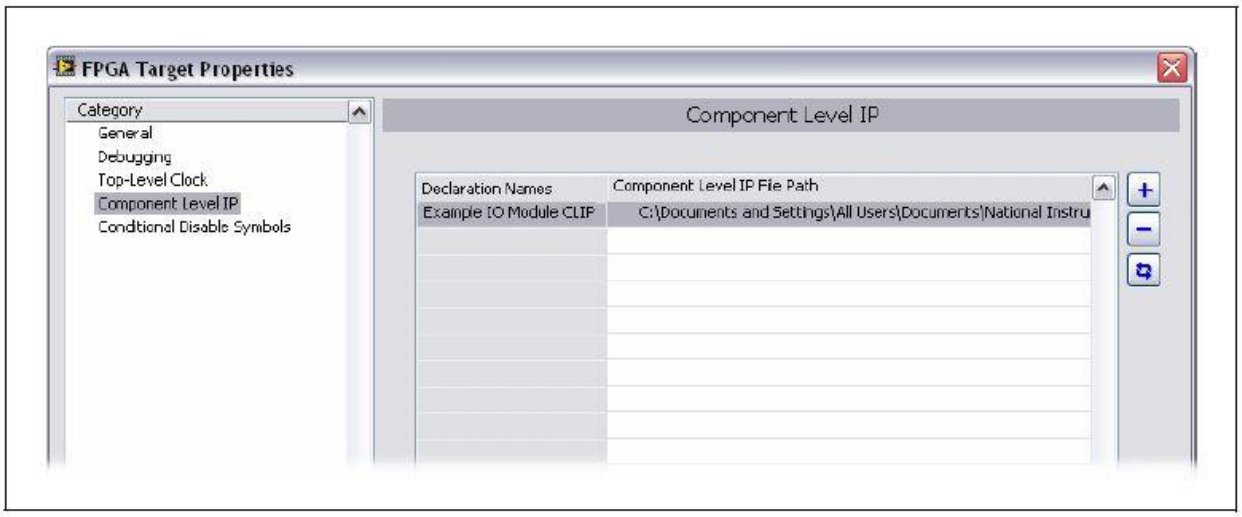
Добавление блока CLIP в проект LabVIEW

Для удобства LabVIEW поддерживает также хранение подключаемого блока CLIP для вашего адаптера за пределами папки `IO Modules`. Например, вы можете захотеть хранить блок CLIP там же, где файлы проекта LabVIEW FPGA. В данной ситуации блок CLIP вашего адаптера не будет автоматически обнаружен LabVIEW, и его необходимо вручную добавить в проект LabVIEW. Чтобы добавить в проект блок CLIP адаптера выполните следующие действия:

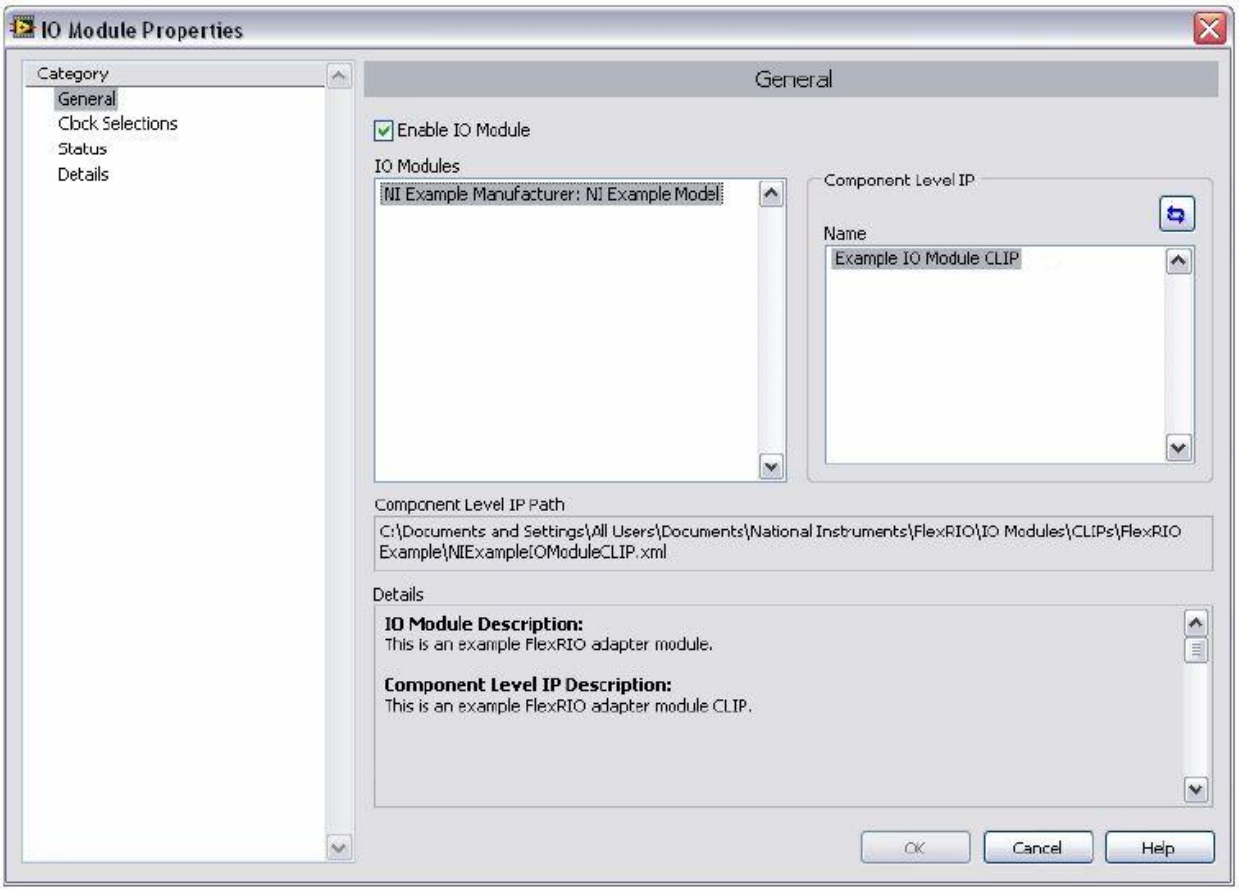
1. Создайте новый проект LabVIEW.
2. Добавьте в проект ваше целевое FPGA устройство. В окне **LabVIEW Project Explorer** появится модуль NI FlexRIO FPGA с несконфигурированным адаптером.



3. Щелкните правой кнопкой мыши по пункту PFGA Target и в контекстном меню выберите пункт **Properties**, чтобы вывести на экран диалоговое окно **FPGA Target Properties**.
4. Выделите пункт **Component Level IP** в списке **Category**, чтобы отобразилась страница **Component Level IP FPGA Target Properties**,.
5. Щелкните по кнопке **Add**. Откроется окно для работы с файлами, в котором вам надо будет указать папку, где находится XML файл блока CLIP. Выделите эту папку и щелкните мышью по кнопке **OK**.



6. Щелкните по кнопке **OK** в диалоговом окне **FPGA Target Properties**. Теперь блок CLIP вашего адаптера добавлен в целевое устройство FPGA и доступен для выбора в диалоговом окне IO Module Properties.



Чтобы сконфигурировать ваш адаптер с блоком CLIP, который вы добавили в проект LabVIEW, обратитесь к разделу *Добавление вашего адаптера и модуля ввода-вывода в LabVIEW проект*.

A

Приложение A. Рекомендуемое распределение сигналов

На рисунках A-1 ÷ A-6 показано рекомендуемое распределение сигналов адаптера. Обратите внимание на то, что контакты питания (например, P1 и P2) обеспечивают защиту при «горячей замене». Обратите также внимание – на упомянутых рисунках имеется текст типа BANK 0; Referenced to VccoA.

S142	GPIO_0
S141	GPIO_0_n
S140	GPIO_1
S139	GPIO_1_n
S138	GPIO_2
S137	GPIO_2_n
S136	GPIO_3
S135	GPIO_3_n
S134	GPIO_4_CC
S133	GPIO_4_n_CC
S132	GPIO_5_CC
S131	GPIO_5_n_CC
S130	GPIO_6_CC
S129	GPIO_6_n_CC
S128	GPIO_7_CC
S127	GPIO_7_n_CC
S126	GPIO_8
S125	GPIO_8_n
S124	GPIO_9
S123	GPIO_9_n
S122	GPIO_10
S121	GPIO_10_n
S120	GPIO_11
S119	GPIO_11_n
S118	GPIO_12
S117	GPIO_12_n
S116	GPIO_13
S115	GPIO_13_n
S112	GPIO_14
S111	GPIO_14_n
S110	GPIO_15
S109	GPIO_15_n

BANK 0; Referenced to VccoA

Рис. A-1. Разъем 1 (из 6) адаптера

Банк 0; относится к VccoA

S68	GPIO_16
S67	GPIO_16_n
S66	GPIO_17
S65	GPIO_17_n
S64	GPIO_18
S63	GPIO_18_n
S62	GPIO_19
S61	GPIO_19_n
S60	GPIO_20
S59	GPIO_20_n
S58	GPIO_21
S57	GPIO_21_n
S56	GPIO_22
S55	GPIO_22_n
S54	GPIO_23_CC
S53	GPIO_23_n_CC
S52	GPIO_24_CC
S51	GPIO_24_n_CC
S50	GPIO_25_CC
S49	GPIO_25_n_CC
S48	GPIO_26_CC
S47	GPIO_26_n_CC
S46	GPIO_27
S45	GPIO_27_n
S44	GPIO_28
S43	GPIO_28_n
S42	GPIO_29
S41	GPIO_29_n
S38	GPIO_30
S37	GPIO_30_n
S36	GPIO_31
S35	GPIO_31_n
S34	GPIO_32
S33	GPIO_32_n

BANK 1; Referenced to VccoA

Рис. А-2. Разъем 2 (из 6) адаптера

Банк 1; относится к VccoA

S32	GPIO_33
S31	GPIO_33_n
S30	GPIO_34
S29	GPIO_34_n
S28	GPIO_35
S27	GPIO_35_n
S26	GPIO_36
S25	GPIO_36_n
S24	GPIO_37_CC
S23	GPIO_37_n_CC
S22	GPIO_38_CC
S21	GPIO_38_n_CC
S20	GPIO_39_CC
S19	GPIO_39_n_CC
S18	GPIO_40_CC
S17	GPIO_40_n_CC
S16	GPIO_41
S15	GPIO_41_n
S14	GPIO_42
S13	GPIO_42_n
S12	GPIO_43
S11	GPIO_43_n
S10	GPIO_44
S09	GPIO_44_n
S08	GPIO_45
S07	GPIO_45_n
S06	GPIO_46
S05	GPIO_46_n
S04	GPIO_47
S03	GPIO_47_n
S02	GPIO_48
S01	GPIO_48_n

BANK 2; Referenced to VccoB

Рис. А-3. Разъем 3 (из 6) адаптера

Банк 2; относится к VccoB

S108	GPIO_49
S107	GPIO_49_n
S106	GPIO_50
S105	GPIO_50_n
S104	GPIO_51
S103	GPIO_51_n
S102	GPIO_52
S101	GPIO_52_n
S100	GPIO_53
S99	GPIO_53_n
S98	GPIO_54
S97	GPIO_54_n
S96	GPIO_55
S95	GPIO_55_n
S94	GPIO_56_CC
S93	GPIO_56_n_CC
S92	GPIO_57_CC
S91	GPIO_57_n_CC
S90	GPIO_58_CC
S89	GPIO_58_n_CC
S88	GPIO_59_CC
S87	GPIO_59_n_CC
S86	GPIO_60
S85	GPIO_60_n
S84	GPIO_61
S83	GPIO_61_n
S82	GPIO_62
S81	GPIO_62_n
S80	GPIO_63
S79	GPIO_63_n
S78	GPIO_64
S77	GPIO_64_n
S76	GPIO_65
S75	GPIO_65_n

BANK 3; Referenced to VccoB

Рис. А-4. Разъем 4 (из 6) адаптера

Банк 3; относится к VccoB

P1	+3.3 V
P2	+12 V
G37	GND
G36	GND
G35	GND
G34	GND
G33	GND
G32	GND
G31	GND
G30	GND
G29	GND
G28	GND
G27	GND
G26	GND
G25	GND
G24	GND
G23	GND
G22	GND
G21	GND
G20	GND
G19	GND
G18	GND
G17	GND
G16	GND
G15	GND
G14	GND
G13	GND
G12	GND
G11	GND
G10	GND
G09	GND
G08	GND
G07	GND
G06	GND
G05	GND
G04	GND
G03	GND
G02	GND
G01	GND

POWER/GROUND

Рис. А-5. Разъем 5 (из 6) адаптера

Питание/Земля

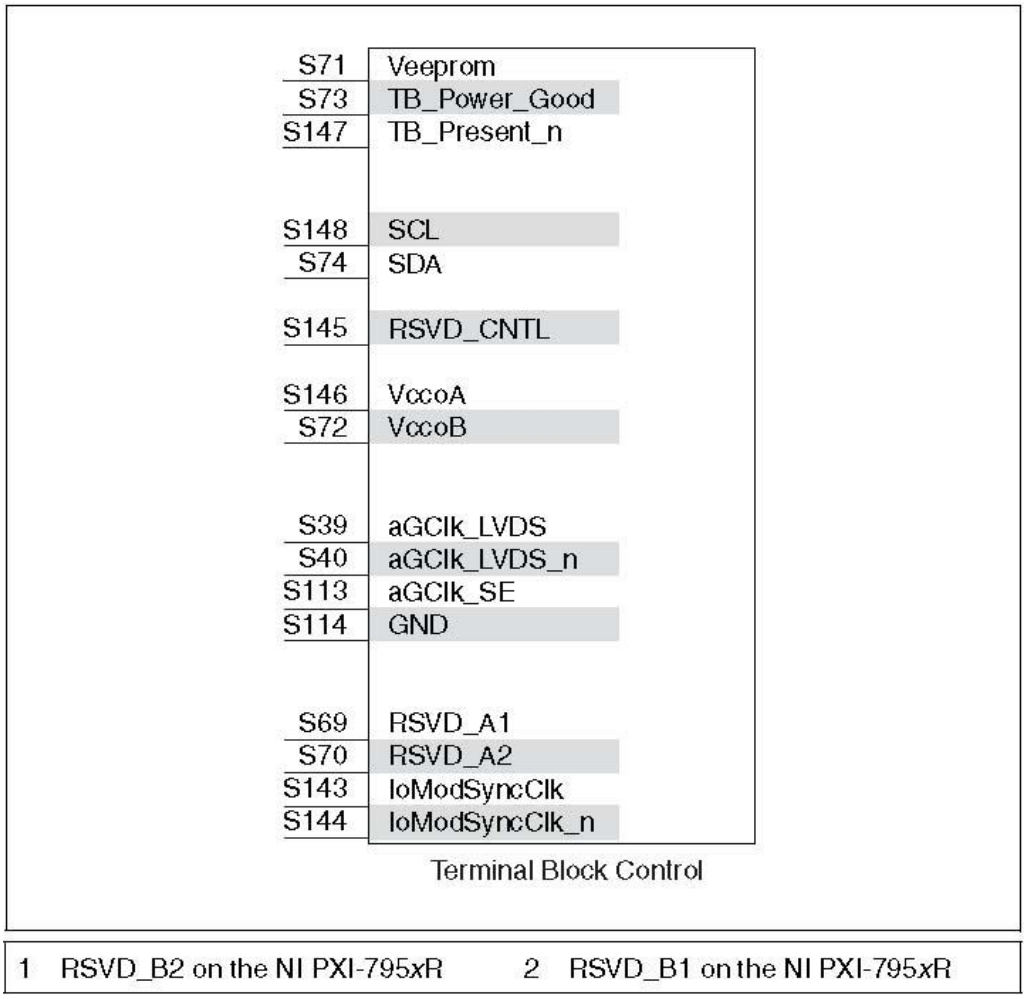


Рис. А-6. Разъем адаптера 6 (из 6)

Terminal Block Control – управление коннекторным блоком;

RSVD_B2 on the NI PXI-795xR – зарезервирован в модулях NI PXI-795xR RSVD_B1 on the NI PXI-795xR – – зарезервирован в модулях NI PXI-795xR

B

Приложение B. Идентификация и разрешение проблем

Поиск и устранение ошибок в проекте LabVIEW FPGA

Окно IO Modules»Properties»General Dialog Box

Адаптер не отображается в списке модулей ввода-вывода IO Modules.

Возможные решения проблемы:

- Убедитесь в том, что файл конфигурации `(.tbc)`, соответствующий вашему адаптеру хранится на диске в папке `IO Modules`.
  - Пользовательская папка IO Modules находится по адресу:
    - Windows XP/2000:
      `C:\Doucuments and Settings\All Users\Shared Documents\National Instruments\FlexRIO\IO Modules`
    - Windows 7/Vista:
      `C:\Users\Public\Documents\National Instruments\FlexRIO\IO Modules`

За более подробной информацией по созданию файла конфигурации адаптера обратитесь к главе 9, *Конфигурирование адаптера для использования с LabVIEW FPGA.*

- Убедитесь в корректности информации об изготовителе и модели адаптера в файле `.tbc`. Список IO Modules автоматически заполняется этими данными из всех обнаруженных файлов `.tbc`.

При выборе моего адаптера в списке Component Level IP не отображается мой подключаемый блок CLIP.

Возможные решения проблемы:

- Убедитесь в том, что ваш блок CLIP находится в одном из следующих двух мест:
  - Диалоговое окно **FPGA Target Properties Components Level IP**. Чтобы открыть это окно, щелкните правой кнопкой мыши по целевому устройству FPGA в окне **Project Explorer** и выберите в контекстном меню команду **Properties**. Если блок CLIP не отображается в окне Component Level IP, щелкните по кнопке Add и перейдите к вашему файлу объявлений, чтобы вручную добавить ваш блок CLIP в проект.
  - Пользовательская папка IO Modules находится по адресу:
    - Windows XP/2000:

      `C:\Doucuments and Settings\All Users\Shared Documents\National Instruments\FlexRIO\IO Modules`
    - Windows 7/Vista:

      `C:\Users\Public\Documents\National Instruments\FlexRIO\IO Modules`
- Убедитесь в том, что в вашем XML файле блока CLIP есть тэг `<CompatibleCLIPSocketsList>`, в котором перечисляются в качестве совместимого сокета `FlexRIO-IOMOdule`.

  Ниже приведены примеры такого тэга:

  ```
  <CompatibleCLIPSocketList>
  <Socket>FlexRIO_IOModule</Socket>
  </CompatibleCLIPSocketList>
  ```
- Убедитесь в том, что в вашем XML файле блока CLIP в тэге `<CompatibleIOModuleList>` приведен ваш адаптер, который идентифицируется либо по идентификационному номеру из EEPROM, либо по имени, если в адаптере нет EEPROM.

  Ниже приведены примеры такого тега:

  ```
  <CompatibleIOModuleList>
  <IOModule >IOModuleID:0xFFFF0001</IOModule>
  <IOModule >Name:Example Manufacturer::Example Module</IOModule>
  </CompatibleIOModuleList>
  ```

Диалоговое окно IO Modules»Properties»Status

Некорректно отображается имя вставленного адаптера.

Возможные решения проблемы:

- Убедитесь в том, что ваш модуль NI FlexRIO FPGA сконфигурирован с правильным именем RIO ресурса.
- Убедитесь в том, что адаптер был правильно вставлен в NI FlexRIO FPGA модуль.
- Убедитесь в том, что в вашем адаптере есть EEPROM. Адаптер обнаруживается только в том случае, если у него есть EEPROM.
- Убедитесь в том, что блок EEPROM вашего адаптера сконфигурирован с правильным адресом на шине I^2C. За подробной информацией по конфигурированию этого адреса обратитесь к главе 3, *Интерфейс и протокол адаптера*.
- Убедитесь в том, что в EEPROM вашего адаптера записан правильный идентификационный номер (IO Module ID). За подробной информацией по программированию этого идентификатора обратитесь к главе 3, *Интерфейс и протокол адаптера*.
- Убедитесь в наличии корректного файла конфигурации вашего адаптера (`.tbc`). За подробной информацией по созданию файлов конфигурации адаптера обратитесь к главе 9, *Конфигурирование адаптера для использования с LabVIEW FPGA.*

Установленный модуль ввода-вывода не соответствует ожидаемому.

Возможные решения проблемы:

- В категории **IO Module Properties»General** выделите установленный адаптер. Повторно откомпилируйте ваше приложение и загрузите его в FPGA. Теперь содержимое NI FlexRIO FPGA должно обновиться, после этого тип ожидаемого адаптера совпадет с установленным.
- Если в установленном адаптере есть EEPROM, убедитесь в том, что параметр IOModuleID в файле конфигурации адаптера (`.tbc`) задан соответствующим установленному адаптеру. Эта информация используется в процессе компиляции для определения, какое программное обеспечение FPGA адаптера должно обнаруживаться. За подробной информацией по созданию файлов конфигурации адаптера обратитесь к главе 9, *Конфигурирование адаптера для использования с LabVIEW FPGA.*
- Если в установленном адаптере нет EEPROM, убедитесь в том, что в файле конфигурации (`.tbc`) этого адаптера не содержится параметр `IOModuleID`. Отсутствие этого параметра используется в процессе компиляции, указывая программному обеспечению FPGA, что оно должно ориентироваться на работу с адаптером, не содержащим EEPROM. За подробной информацией по созданию файлов конфигурации адаптера обратитесь к главе 9, *Конфигурирование адаптера для использования с LabVIEW FPGA.*

C

Приложение C. Ссылки на документацию компании Xilinx

Документация компании Xilinx по FPGA предоставляет информацию, необходимую для успешной разработки вашего адаптера NI FlexRIO. В таблице C-1 приведен перечень специализированных ресурсов Xilinx.

Всю документацию Xilinx можно найти на сайте www.xilinx.com.

Таблица C-1. Документация Xilinx

Документ	Адрес	Шифр документа	Описание
Virtex 5 User Guide	`www.xilinx.com/support/documentation/userguides/ug190.pdf`	UG190	Руководство по применению Virtex® 5 содержит информацию о ресурсах синхронизации, технологии управления синхронизацией, фазовой автоподстройке частоты, блочном ОЗУ (block RAM), конфигурируемых логических блоках (CLB), ресурсах SelectIO™ и ресурсах логики SelectIO.
Virtex 5 Data Sheet	`www.xilinx.com/support/documentation/data_sheets/ds202.pdf`	DS202	Электрические характеристики платформ Virtex® 5, в том числе предельно допустимые значения, рекомендуемые условия эксплуатации, требования по электропитанию, и коммутационные характеристики.
Constraints Guide (for Xilinx 9.2.4)	`http://toolbox.xilinx.com/docsan/xilinx92/books/docs/cgd/cgd.pdf`	—	Описание всех ограничений Xilinx, в том числе поддерживаемых архитектур, допускаемых для применения элементов, правил распространения и примеров синтаксиса. В этом руководстве также описываются типы и ограничения способов ввода, стратегии использования ограничений на временные параметры и поддерживаемые ограничения сторонних организаций.
Virtex-5 FPGA SSO Calculator	`http://secure.xilinx.com/webreg/clickthtough.do?cid=30154`	—	Утилита на основе электронных таблиц для автоматизации всех вычислений в моделях PFDM (Prolog Functional Data Model) и SSO для всех стандартов ввода-вывода.

D

Приложение D. Техническая поддержка

Техническую поддержку вы можете получить в следующих разделах отмеченного наградой сайта компании National Instruments `ni.com`:

- **Support** — ресурсы технической поддержки `ni.com/support`, в том числе:
  - **Self-Help Technical Resources** — ответы и решения, программные драйверы и обновления, поисковая база знаний Knowledge Base, руководства по эксплуатации изделий, мастера по пошаговому поиску устранению неисправностей, тысячи примеров программ, учебных пособий, кратких указаний по применению, драйверов измерительных приборов и т.д. Кроме того, зарегистрированные пользователи получают доступ к дискуссионным форумам (NI Discussion Forums) по адресу `ni.com/forums`. Инженеры компании NI гарантируют ответ в режиме он-лайн на каждый заданный вопрос.
  - **Standard Service Program Membership** — программа, которая дает ее участникам право прямого обращения к инженерам компании NI в режиме «тет-а-тет» по телефону и электронной почте за индивидуальной технической поддержкой, а также эксклюзивный доступ к интерактивным обучающим модулям через раздел Services Resource Center. Дополнительно компания NI дает право участия в программе на полный год после приобретения продукции, после чего вы можете продлить свое участие, чтобы продолжать получать от этого выгоду.

    Для получения информации о других возможностях технической поддержки в вашем регионе, посетите сайт `ni.com/services` или обратитесь в местный офис по `ni.com/contact`.
- flexrio.mdk@ni.com — адрес электронной почты, который доступен только для пользователей набора NI FlexRIO Adapter Module Development Kit, чтобы получать прямую техническую поддержку от компании National Instruments, зарегистрировать свой набор или получить уникальный идентификатор поставщика.
- **Training and Certification** — ресурсы на сайте `ni.com\training` для самообучения, виртуальных аудиторий для электронного обучения, интерактивных CD-дисков, а также информация по программе сертификации. Там же вы можете зарегистрироваться для прохождения практических курсов под руководством преподавателя в различных странах мира.
- **System Integration** — если вы столкнулись с ограничениями по времени, техническим ресурсам и иными сложностями при работе над проектом, вам помогут члены National Instruments Alliance Partner (Альянс партнеров NI). Для получения дополнительной информации, свяжитесь с местным офисом NI или посетите сайт `ni.com/alliance`.

Если вы не смогли найти ответы на интересующие вас вопросы на сайте `ni.com`, позвоните в ближайший к вам офис или штаб-квартиру корпорации NI. Номера телефонов офисов по всему миру приведены в начале настоящего руководства. Вы можете также зайти в раздел Worldwide Offices на сайте `ni.com/niglobal`, чтобы получить доступ к сайтам филиалов, где приведена обновляемая контактная информация, телефоны службы поддержки, адреса электронной почты и информация о текущих событиях.